

プログラマブル/OIエキスパンダー & USART

# TIC81592GP-B

Ver2.1 2007/12/25

株式会社立花エレテック 半導体技術三部

記載内容につきましては、予告なく変更する場合がありますので、ご注意ください。



株式会社 **立花エレテック**

**TACHIBANA** ELETECH

## 目次

1. 概要	4
1.1. 特徴	4
1.2. 機能概要	4
1.3. ブロック図	5
1.3.1. 全体ブロック図	5
1.3.2. USART ブロック図	6
1.4. ピン接続図	7
1.5. 端子機能表	8
1.6. リセット	12
1.7. 未使用端子の処理	12
2. レジスタ一覧	13
2.1. アドレスマップ	13
2.2. レジスタ構成	14
2.2.1. ポート 0~6 データレジスタ	14
2.2.2. ポート 0~6 方向レジスタ	14
2.2.3. ポート 7 データ・方向レジスタ	15
2.2.4. オープンドレイン設定レジスタ	15
2.2.5. コントロールレジスタ	16
2.2.6. リセットレジスタ	16
2.2.7. モードレジスタ	17
2.2.8. コマンドレジスタ	18
2.2.9. ステータス 1 レジスタ	19
2.2.10. 割り込みマスク 1 レジスタ	20
2.2.11. ステータス 2 レジスタ	21
2.2.12. 割り込みマスク 2 レジスタ	21
2.2.13. 送信/受信バッファ	22
2.2.14. MOST レジスタ	22
2.2.15. プリスケーラ分周比レジスタ	23
2.2.16. ボーレート分周比レジスタ	23
2.2.17. IrDA コントロールレジスタ	24
3. 機能説明	25
3.1. CPU インターフェース	25
3.2. CPU バススピードと入力クロック	26
3.3. I/O エキスパンダー	26
3.4. USART	27
3.4.1. UART(クロック非同期式シリアルデータ通信)	28
3.4.2. USRT(クロック同期式シリアルデータ通信)	35

---

4. 製品規格.....	44
4.1. 絶対最大定格.....	44
4.2. 推奨動作条件.....	44
4.3. 電気的特性.....	45
4.3.1. VDD5.....	45
4.3.2. VDD3.3.....	45
4.4. タイミング必要条件.....	46
4.4.1. VDD5.....	46
4.4.2. VDD3.3.....	47
4.5. スイッチング特性.....	48
4.5.1. VDD5.....	48
4.5.2. VDD3.3.....	48
4.6. タイミング図.....	49

## 1. 概要

TIC81592GP-B(以降TIC81592)は、クロック同期/非同期式シリアルデータ通信回路(USART)を内蔵した、プログラム可能な入出力インターフェース用LSIで、8ビット及び16ビット高速CPUの入出力ポートとして最適です。

3.3Vまたは5V単一電源で動作し、最大8ビットの入出力ポート7組、4ビットの入出力ポート1組を持ちます。また、USARTを3本内蔵し、レジスタの設定により任意のUSARTの使用が可能です。

### 1.1. 特徴

#### >> CPUバスインターフェース

- ・80系/68系CPUとの直結可能
- ・シリアルバス/パラレルバス(8ビット)の選択可能

#### >> I/Oエキスパンダー

- ・最大60ビットの入出力拡張可能
- ・各ビット毎に入力/出力設定可能
- ・擬似Nchオープンドレインファンクション設定可能(P0, P6)
- ・入力モード時に出力データの書き込み可能
- ・出力端子の状態を読み出し可能

#### >> USART

- ・最大3系統使用可能(USART1, USART2, USART3)
- ・送受信各16バイトFIFOデータバッファ内蔵(USART1のみ)
- ・プリスケアラ内蔵(USART毎, プログラマブル4ビット)
- ・ポーレートジェネレータ内蔵(USART毎, プログラマブル8ビット)
- ・送受信データフォーマット

##### > 同期モード(USRT)

データ長 8ビット固定

##### > 非同期モード(UART)

スタートビット 1ビット  
 データ長 5ビット/6ビット/7ビット/8ビット/9ビット  
 パリティビット 偶数/奇数/無し  
 ストップビット 1ビット/2ビット

- ・IrDAデータタイプでの非同期通信(UART)送受信可能
- ・USART各系統毎に割り込み信号生成
- ・割り込み信号のソースをプログラマブルに設定可能

#### >> アクセスタイム

- ・ $t_{ac}(NRD-D)=40ns(CL=100pF@5V)$

#### >> パッケージ

- ・鉛フリー対応

### 1.2. 機能概要

TIC81592は、データ通信用USARTを3本内蔵した高速汎用プログラマブルI/Oエキスパンダーです。

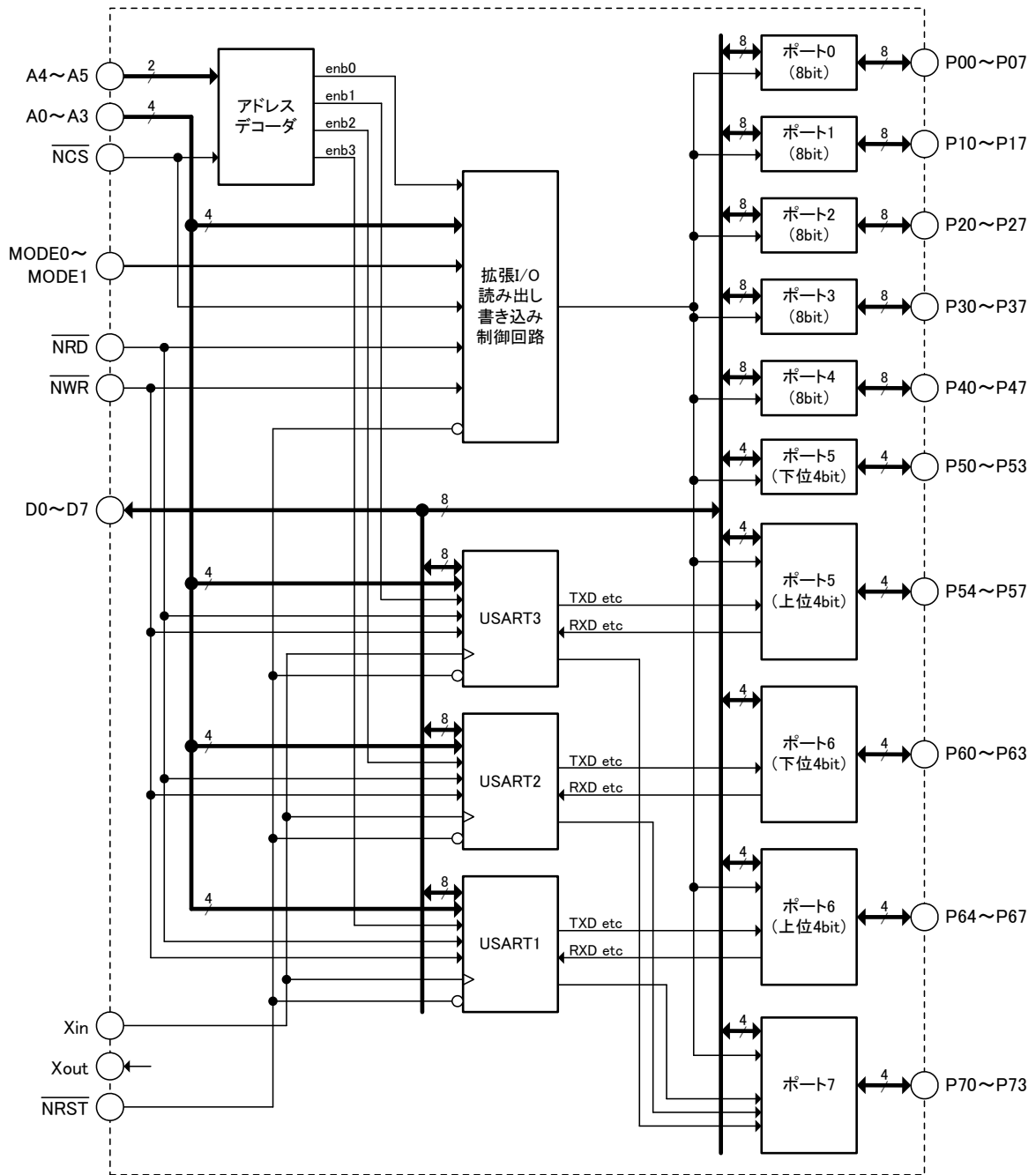
8ビットの入出力ポート7組(P0~P6)、4ビットの入出力ポート1組(P7)をもち、入出力ポートはプログラムによってビット毎に入力または出力ポートとして使用できます。またP0とP6は、擬似Nchオープンドレインポート(L/Z出力, 耐圧:V<sub>dd</sub> + 0.5V)としても使用できます。

内部レジスタを設定することで、内蔵した3本のUSARTが使用でき、USART毎にUART・UART(IrDAデータタイプ)・USRT(内部クロック選択)・USRT(外部クロック選択)の選択が可能です。USARTのレジスタは3系統それぞれが完全に独立しており、同時に最大3系統のデータ送受信を行うことができます。

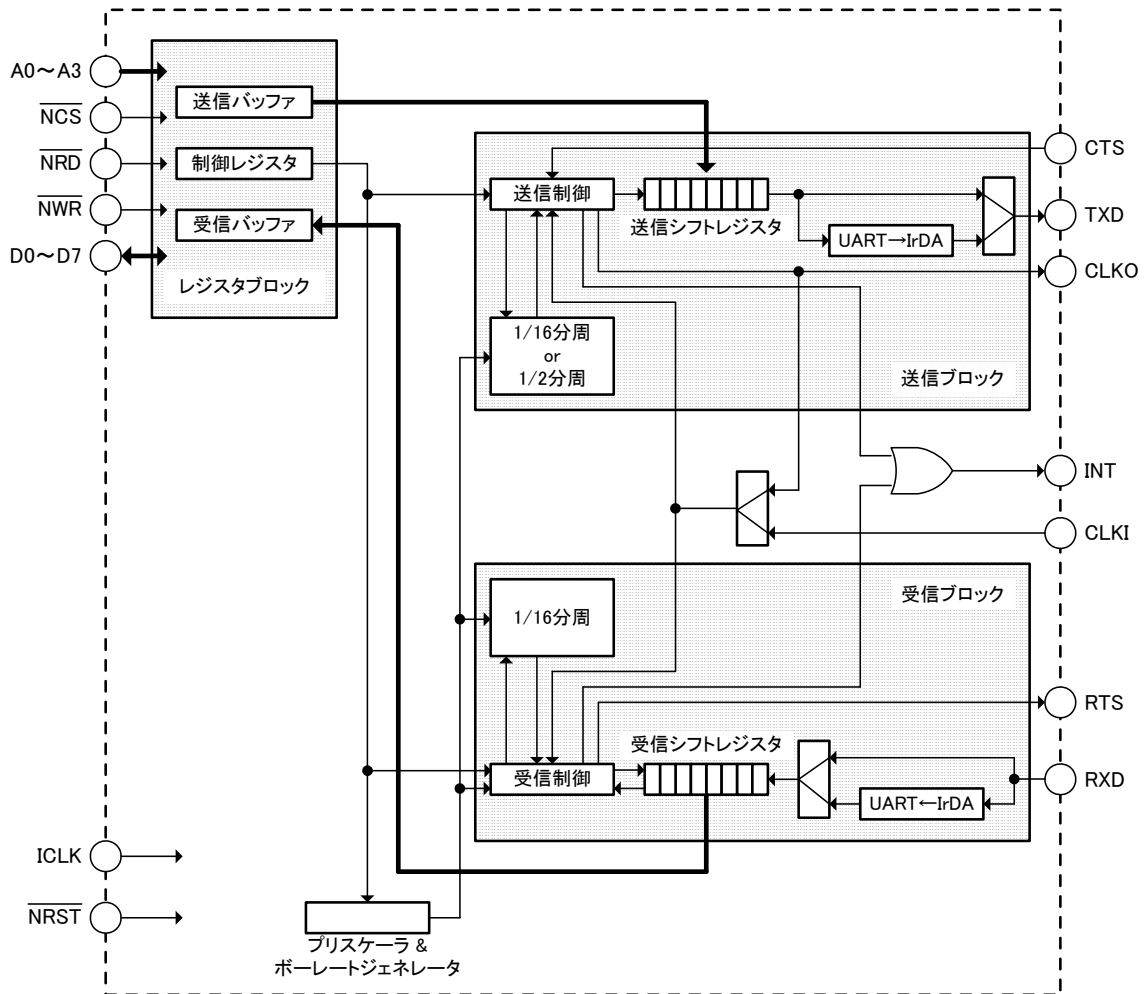
リセット入力(NRST)を“L”設定することで、全入出力ポートは入力モードに設定され、高インピーダンスとなります。

1.3. ブロック図

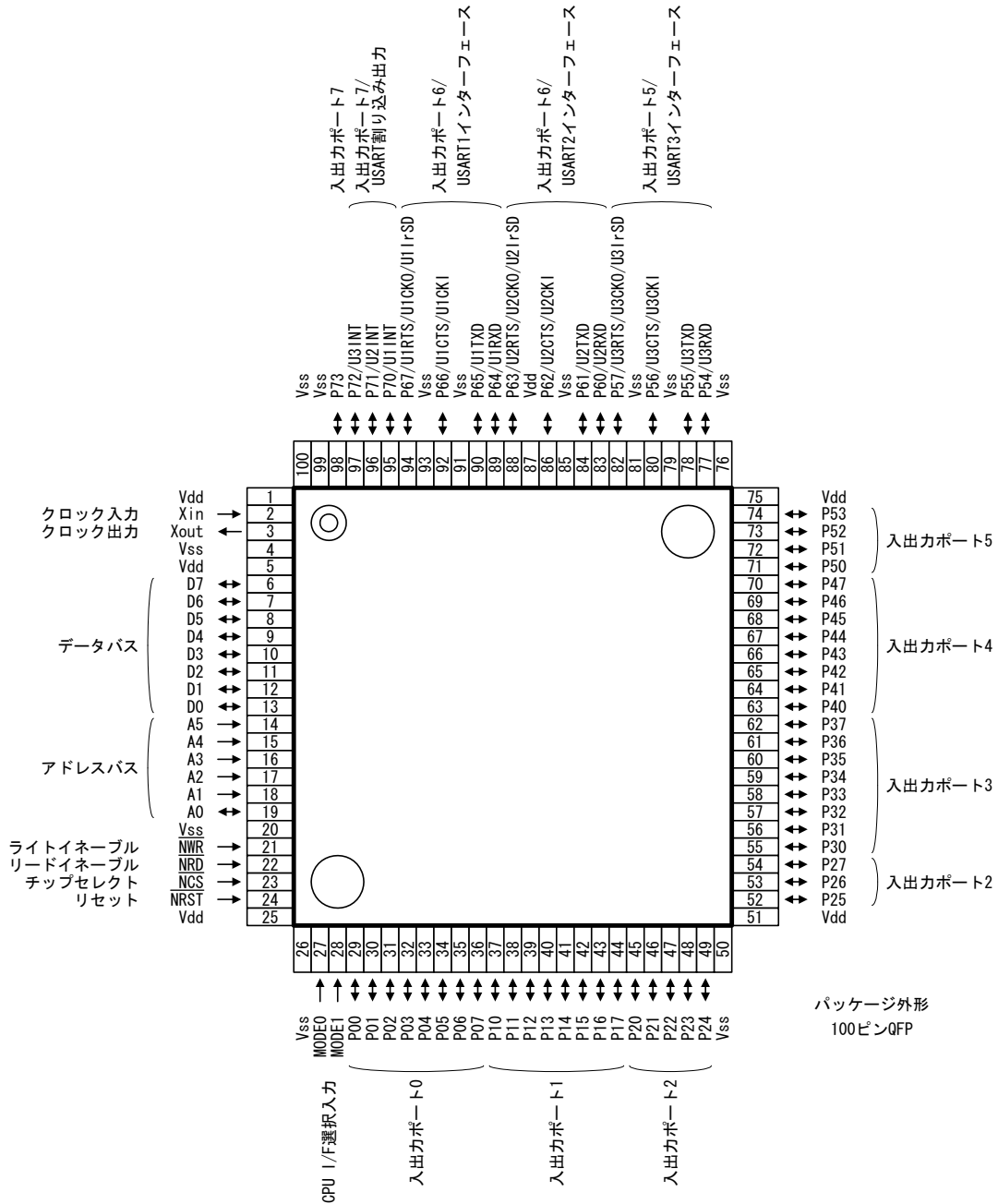
1.3.1. 全体ブロック図



1.3.2. USARTブロック図



1.4. ピン接続図



## 1.5. 端子機能表

端子名	入出力	名称と機能
Vdd	-	<b>電源</b> Vddはすべて電源に接続します。
Vss	-	<b>グラウンド</b> Vssはすべてグラウンドに接続します。
MODE0~ MODE1	入力	<b>CPU I/F選択入力</b> CPUとのI/F方式を選択します。 MODE[1:0] = 00:80系CPUインターフェースモード MODE[1:0] = 01:68系CPUインターフェースモード MODE[1:0] = 10:シリアルバスインターフェースモード  ※上記以外の設定は禁止です。
Xin	入力	<b>クロック用入出力端子</b> XinとXoutの間に水晶、セラミック振動子を接続することにより周波数の設定を行います。外部クロック入力を行う場合には、クロック発信源をXinに接続し、Xoutは解放にしてください。また、I/Oエキスパンダーのみを使用する場合、クロック入力を行う必要はありません。Xinは抵抗を介してVssに接続(プルダウン)、Xoutは解放にしてください。
Xout	出力	
$\overline{\text{NRST}}$	入力	<b>リセット</b> 'L'で内部回路を初期化します。
A1~A5	入力	<b>アドレスバス</b> ・80/68系CPU I/Fモード選択時、内部レジスタの選択に使用します。 ・シリアルバス I/Fモード選択時、A0はデータ出力として使用します。 A1~A5は端子毎に抵抗を介してVssに接続(プルダウン)してください。
A0/(SDO)	入力/出力	
D0~D7	入出力	<b>データバス</b> ・80/68系CPU I/Fモード選択時、外部デバイス(CPU等)との接続に使用します。 ・シリアルバス I/Fモード選択時は、端子毎に抵抗を介してVssに接続(プルダウン)してください。
$\overline{\text{NCS}}$	入力	<b>チップセレクト</b> 'L'でCPUからのアクセスを有効にします。
$\overline{\text{NRD}}$ / (RD/WR)/ (SDI)	入力	<b>リードイネーブル/(リード/ライト)/(データ入力)</b> ・80系CPU I/F選択時、リードイネーブルとして使用します。 ・68系CPU I/Fモード選択時、リード/ライト制御として使用します。 ・シリアルバス I/F選択時、データ入力として使用します。
$\overline{\text{NWR}}$ / (ECLK)/ (SCLK)	入力	<b>ライトイネーブル/(イネーブルクロック)/(シフトクロック)</b> ・80系CPU直結モード選択時、ライトイネーブルとして使用します。 ・68系CPU直結モード選択時、イネーブルクロックとして使用します。 ・シリアルI/Fモード選択時、シフトクロックとして使用します。
P00~P07	入出力	<b>入出力ポート0</b> 8ビットの汎用入出力ポートで、ビット毎に入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりオープンドレインポートとして使用できます。
P10~P17	入出力	<b>入出力ポート1</b> 8ビットの汎用入出力ポートで、ビット毎に入力ポートあるいは出力ポートとして使用できます。

端子名	入出力	名称と機能
P20~P27	入出力	<b>入出力ポート2</b> 8ビットの汎用入出力ポートで、ビット毎に入力ポートあるいは出力ポートとして使用できます。
P30~P37	入出力	<b>入出力ポート3</b> 8ビットの汎用入出力ポートで、ビット毎に入力ポートあるいは出力ポートとして使用できます。
P40~P47	入出力	<b>入出力ポート4</b> 8ビットの汎用入出力ポートで、ビット毎に入力ポートあるいは出力ポートとして使用できます。
P50~P53	入出力	<b>入出力ポート5(0~3)</b> 8ビットの汎用入出力ポートのビット0~3で、ビット毎に入力ポートあるいは出力ポートとして使用できます。
P54/U3RXD	入出力	<b>入出力ポート5(4)/シリアルデータ入力(UART3/USRT3)</b> 8ビットの汎用入出力ポートのビット4で、入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりUART3のRXD入力としてシリアルデータまたはIrDAフォーマットデータを、USRT3のRXD入力としてシリアルデータを入力できます。
P55/U3TXD	入出力	<b>入出力ポート5(5)/シリアルデータ出力(UART3/USRT3)</b> 8ビットの汎用入出力ポートのビット5で、入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりUART3のTXD出力としてシリアルデータまたはIrDAフォーマットデータを、USRT3のTXD出力としてシリアルデータを出力できます。
P56/ U3CTS/ U3CKI	入出力	<b>入出力ポート5(6)/クリアツウセンド入力(UART3)/ クリアツウセンド入力(USRT3i)/転送クロック入力(USRT3o)</b> 8ビットの汎用入出力ポートのビット6で、入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりUART3のCTS入力、USRT3内部クロック選択のCTS入力、USRT3外部クロック選択の転送クロック入力として使用できます。
P57/ U3RTS/ U3IrSD/ U3CKO	入出力	<b>入出力ポート5(7)/リクエストツウセンド出力(UART3)/ IrDAシャットダウン出力(UART3Ir)/転送クロック出力(USRT3i)/ リクエストツウセンド出力(USRT3o)</b> 8ビットの汎用入出力ポートのビット7で、入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりUART3のRTS出力またはIrDAシャットダウン出力、USRT3内部クロック選択の転送クロック出力、USRT3外部クロック選択のRTS出力として使用できます。
P60/U2RXD	入出力	<b>入出力ポート6(0)/シリアルデータ入力(UART2/USRT2)</b> 8ビットの汎用入出力ポートのビット0で、入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりオープンドレインポート、UART2のRXD入力としてシリアルデータまたはIrDAフォーマットデータを、USRT2のRXD入力としてシリアルデータを入力できます。

端子名	入出力	名称と機能
P61/U2TXD	入出力	<b>入出力ポート6(1)/シリアルデータ出力(UART2/USRT2)</b> 8ビットの汎用入出力ポートのビット1で、入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりオープンドレインポート、UART2のTXD出力としてシリアルデータまたはIrDAフォーマットデータを、USRT2のTXD出力としてシリアルデータを出力できます。
P62/ U2CTS/ U2CKI	入出力	<b>入出力ポート6(2)/クリアツウセンド入力(UART2)/ クリアツウセンド入力(USRT2i)/転送クロック入力(USRT2o)</b> 8ビットの汎用入出力ポートのビット2で、入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりオープンドレインポート、UART2のCTS入力、USRT2内部クロック選択のCTS入力、USRT2外部クロック選択の転送クロック入力として使用できます。
P63/ U2RTS/ U2IrSD/ U2CKO	入出力	<b>入出力ポート6(3)/リクエストツウセンド出力(UART2)/ IrDAシャットダウン出力(UART2Ir)/転送クロック出力(USRT2i)/ リクエストツウセンド出力(USRT2o)</b> 8ビットの汎用入出力ポートのビット3で、入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりオープンドレインポート、UART2のRTS出力またはIrDAシャットダウン出力、USRT2内部クロック選択の転送クロック出力、USRT2外部クロック選択のRTS出力として使用できます。
P64/U1RXD	入出力	<b>入出力ポート6(4)/シリアルデータ入力(UART1/USRT1)</b> 8ビットの汎用入出力ポートのビット4で、入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりオープンドレインポート、UART1のRXD入力としてシリアルデータまたはIrDAフォーマットデータを、USRT1のRXD入力としてシリアルデータを入力できます。
P65/U1TXD	入出力	<b>入出力ポート6(5)/シリアルデータ出力(UART1/USRT1)</b> 8ビットの汎用入出力ポートのビット5で、入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりオープンドレインポート、UART1のTXD出力としてシリアルデータまたはIrDAフォーマットデータを、USRT1のTXD出力としてシリアルデータを出力できます。
P66/ U1CTS/ U1CKI	入出力	<b>入出力ポート6(6)/クリアツウセンド入力(UART1)/ クリアツウセンド入力(USRT1i)/転送クロック入力(USRT1o)</b> 8ビットの汎用入出力ポートのビット6で、入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりオープンドレインポート、UART1のCTS入力、USRT1内部クロック選択のCTS入力、USRT1外部クロック選択の転送クロック入力として使用できます。
P67/ U1RTS/ U1IrSD/ U1CKO	入出力	<b>入出力ポート6(7)/リクエストツウセンド出力(UART1)/ IrDAシャットダウン出力(UART1Ir)/転送クロック出力(USRT1i)/ リクエストツウセンド出力(USRT1o)</b> 8ビットの汎用入出力ポートのビット7で、入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりオープンドレインポート、UART1のRTS出力またはIrDAシャットダウン出力、USRT1内部クロック選択の転送クロック出力、USRT1外部クロック選択のRTS出力として使用できます。

端子名	入出力	名称と機能
P70/U1INT	入出力	<b>入出力ポート7(0)/INT出力(UART1/USRT1)</b> 4ビットの汎用入出力ポートのビット0で、ビット毎に入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりUART1/USRT1のINT出力(Hレベル割り込み)として使用できます。
P71/U2INT	入出力	<b>入出力ポート7(1)/INT出力(UART2/USRT2)</b> 4ビットの汎用入出力ポートのビット1で、ビット毎に入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりUART2/USRT2のINT出力(Hレベル割り込み)として使用できます。
P72/U3INT	入出力	<b>入出力ポート7(2)/INT出力(UART3/USRT3)</b> 4ビットの汎用入出力ポートのビット2で、ビット毎に入力ポートあるいは出力ポートとして使用できます。また内部レジスタの設定によりUART3/USRT3のINT出力(Hレベル割り込み)として使用できます。
P73	入出力	<b>入出力ポート7(3)</b> 4ビットの汎用入出力ポートのビット3で、ビット毎に入力ポートあるいは出力ポートとして使用できます。

## 1.6. リセット

$\overline{\text{NRST}}$ を'L'に設定することで、全入出力ポート(P0~P7)は入力モードに設定(初期化)され、高インピーダンスとなります。内部レジスタも同時に初期化するため、USART使用時であってもI/Oエキスパンダーとしての入力ポートとなります。

## 1.7. 未使用端子の処理

端子名	処理内容
P0~P7	入力モードに設定し、端子毎に抵抗を介してVssに接続(プルダウン)、または出力モードに設定し、端子を開放
Xin ※1	抵抗を介してVssに接続(プルダウン)
Xout ※1,2	開放
D0~D7 ※3	端子毎に抵抗を介してVssに接続(プルダウン)
A1~A5 ※3	端子毎に抵抗を介してVssに接続(プルダウン)

※1 I/Oエキスパンダーのみ使用時

※2 外部クロック入力使用時

※3 シリアルバス I/F選択時

2. レジスタ一覧

2.1. アドレスマップ

A[5:0]	NAME	NICK NAME	R/W	DEFAULT	b7	b6	b5	b4	b3	b2	b1	b0		
00	ポート0データレジスタ	PD0	R/W	XXXX-XXXX	PD07	PD06	PD05	PD04	PD03	PD02	PD01	PD00		
01	ポート0方向レジスタ	PC0	W	0000-0000	PC07 *3	PC06 *3	PC05 *3	PC04 *3	PC03 *3	PC02 *3	PC01 *3	PC00 *3		
02	ポート1データレジスタ	PD1	R/W	XXXX-XXXX	PD17	PD16	PD15	PD14	PD13	PD12	PD11	PD10		
03	ポート1方向レジスタ	PC1	W	0000-0000	PC17 *3	PC16 *3	PC15 *3	PC14 *3	PC13 *3	PC12 *3	PC11 *3	PC10 *3		
04	ポート2データレジスタ	PD2	R/W	XXXX-XXXX	PD27	PD26	PD25	PD24	PD23	PD22	PD21	PD20		
05	ポート2方向レジスタ	PC2	W	0000-0000	PC27 *3	PC26 *3	PC25 *3	PC24 *3	PC23 *3	PC22 *3	PC21 *3	PC20 *3		
06	ポート3データレジスタ	PD3	R/W	XXXX-XXXX	PD37	PD36	PD35	PD34	PD33	PD32	PD31	PD30		
07	ポート3方向レジスタ	PC3	W	0000-0000	PC37 *3	PC36 *3	PC35 *3	PC34 *3	PC33 *3	PC32 *3	PC31 *3	PC30 *3		
08	ポート4データレジスタ	PD4	R/W	XXXX-XXXX	PD47	PD46	PD45	PD44	PD43	PD42	PD41	PD40		
09	ポート4方向レジスタ	PC4	W	0000-0000	PC47 *3	PC46 *3	PC45 *3	PC44 *3	PC43 *3	PC42 *3	PC41 *3	PC40 *3		
0A	ポート5データレジスタ	PD5	R/W	XXXX-XXXX	PD57	PD56	PD55	PD54	PD53	PD52	PD51	PD50		
0B	ポート5方向レジスタ	PC5	W	0000-0000	PC57 *3	PC56 *3	PC55 *3	PC54 *3	PC53 *3	PC52 *3	PC51 *3	PC50 *3		
0C	ポート6データレジスタ	PD6	R/W	XXXX-XXXX	PD67	PD66	PD65	PD64	PD63	PD62	PD61	PD60		
0D	ポート6方向レジスタ	PC6	W	0000-0000	PC67 *3	PC66 *3	PC65 *3	PC64 *3	PC63 *3	PC62 *3	PC61 *3	PC60 *3		
0E	ポート7データ・方向レジスタ	PD7	R/W	0000-XXXX	PC73 *3	PC72 *3	PC71 *3	PC70 *3	PD73	PD72	PD71	PD70		
0F	オーブントレイン設定レジスタ	ODCTL	R/W	XXXX-XXXX	*2	OD06	*2	*2	*2	*2	*2	ODC0		
10	USART1 コントロールレジスタ	U1CTL	R/W	0000-0000	'0'	'0'	U1S101	U1S100	*2	U1ENINT	U1ENCNT	U1ENB		
11	USART1 リセットレジスタ	U1RST	R/W	1000-0000	U11R	*2	*2	*2	*2	*2	*2	*2		
12	USART1 モードレジスタ	U1MOD	R/W	0000-0011	U1PE	U1PT	U1SP	U1RM1	U1RMO	U1DL2	U1DL1	U1DLO		
13	USART1 コマンドレジスタ	U1COM	R/W	1110-0000	U1RBC	U1TBC	U1RCLR	*2	U1RTS	U1RE	U1TE	U1CE		
14	USART1 ステータス1レジスタ	U1STA1	R	1001-1001	U1RXE	U1RBF	U1RBMF	U1RBE	U1TXE	U1TBF	U1TBMF	U1TBE		
15	USART1 割り込みマスク1レジスタ	U1MSK1	R/W	1111-1111	U1MRXE	U1MRBF	U1MRBMF	U1MRBE	U1MTXE	U1MTBF	U1MTBMF	U1MTBE		
16	USART1 ステータス2レジスタ	U1STA2	R	0000-0000	U1ERR	U1PER	U1FER	U1OER	*2	*2	*2	*2		
17	USART1 割り込みマスク2レジスタ	U1MSK2	R/W	1000-0000	U1MERR	*2	*2	*2	*2	*2	*2	*2		
18	USART1 送信/受信バッファ	U1TD/RD	R/W	XXXX-XXXX	U1TD8-0/U1RD8-0									
19	USART1 MOSTレジスタ	U1MOST	R/W	1111-1111	U1RMOS3	U1RMOS2	U1RMOS1	U1RMOSO	U1TMS3	U1TMS2	U1TMS1	U1TMSO		
1A	USART1 プリスケール分周比レジスタ	U1PRS	R/W	0000-0000	*2	*2	*2	*2	U1PRS3	U1PRS2	U1PRS1	U1PRSO		
1B	USART1 ポーレート分周比レジスタ	U1BRG	R/W	0000-0000	U1BRG7	U1BRG6	U1BRG5	U1BRG4	U1BRG3	U1BRG2	U1BRG1	U1BRGO		
1C	未使用	-	-	-	*1	*1	*1	*1	*1	*1	*1	*1		
1D	未使用	-	-	-	*1	*1	*1	*1	*1	*1	*1	*1		
1E	未使用	-	-	-	*1	*1	*1	*1	*1	*1	*1	*1		
1F	USART1 IrDAコントロールレジスタ	U1rCTL	R/W	0010-0000	*2	*2	U1SDINV	U1SD	*2	*2	U1RINV	*2		
20	USART2 コントロールレジスタ	U2CTL	R/W	0000-0000	'0'	'0'	U2S101	U2S100	*2	U2ENINT	U2ENCNT	U2ENB		
21	USART2 リセットレジスタ	U2RST	R/W	1000-0000	U21R	*2	*2	*2	*2	*2	*2	*2		
22	USART2 モードレジスタ	U2MOD	R/W	0000-0011	U2PE	U2PT	U2SP	*2	U2RMO	U2DL2	U2DL1	U2DLO		
23	USART2 コマンドレジスタ	U2COM	R/W	1110-0000	U2RBC	U2TBC	U2RCLR	*2	U2RTS	U2RE	U2TE	U2CE		
24	USART2 ステータス1レジスタ	U2STA1	R	1001-1001	*2	U2RBF	*2	*2	U2TXE	*2	*2	U2TBE		
25	USART2 割り込みマスク1レジスタ	U2MSK1	R/W	1111-1111	*2	U2MRBF	*2	*2	U2MTXE	*2	*2	U2MTBE		
26	USART2 ステータス2レジスタ	U2STA2	R	0000-0000	U2ERR	U2PER	U2FER	U2OER	*2	*2	*2	*2		
27	USART2 割り込みマスク2レジスタ	U2MSK2	R/W	1000-0000	U2MERR	*2	*2	*2	*2	*2	*2	*2		
28	USART2 送信/受信バッファ	U2TD/RD	R/W	XXXX-XXXX	U2TD8-0/U2RD8-0									
29	未使用	-	-	-	*1	*1	*1	*1	*1	*1	*1	*1		
2A	USART2 プリスケール分周比レジスタ	U2PRS	R/W	0000-0000	*2	*2	*2	*2	U2PRS3	U2PRS2	U2PRS1	U2PRSO		
2B	USART2 ポーレート分周比レジスタ	U2BRG	R/W	0000-0000	U2BRG7	U2BRG6	U2BRG5	U2BRG4	U2BRG3	U2BRG2	U2BRG1	U2BRGO		
2C	未使用	-	-	-	*1	*1	*1	*1	*1	*1	*1	*1		
2D	未使用	-	-	-	*1	*1	*1	*1	*1	*1	*1	*1		
2E	未使用	-	-	-	*1	*1	*1	*1	*1	*1	*1	*1		
2F	USART2 IrDAコントロールレジスタ	U2rCTL	R/W	0010-0000	*2	*2	U2SDINV	U2SD	*2	*2	U2RINV	*2		
30	USART3 コントロールレジスタ	U3CTL	R/W	0000-0000	'0'	'0'	U3S101	U3S100	*2	U3ENINT	U3ENCNT	U3ENB		
31	USART3 リセットレジスタ	U3RST	R/W	1000-0000	U31R	*2	*2	*2	*2	*2	*2	*2		
32	USART3 モードレジスタ	U3MOD	R/W	0000-0011	U3PE	U3PT	U3SP	*2	U3RMO	U3DL2	U3DL1	U3DLO		
33	USART3 コマンドレジスタ	U3COM	R/W	1110-0000	U3RBC	U3TBC	U3RCLR	*2	U3RTS	U3RE	U3TE	U3CE		
34	USART3 ステータス1レジスタ	U3STA1	R	1001-1001	*2	U3RBF	*2	*2	U3TXE	*2	*2	U3TBE		
35	USART3 割り込みマスク1レジスタ	U3MSK1	R/W	1111-1111	*2	U3MRBF	*2	*2	U3MTXE	*2	*2	U3MTBE		
36	USART3 ステータス2レジスタ	U3STA2	R	0000-0000	U3ERR	U3PER	U3FER	U3OER	*2	*2	*2	*2		
37	USART3 割り込みマスク2レジスタ	U3MSK2	R/W	1000-0000	U3MERR	*2	*2	*2	*2	*2	*2	*2		
38	USART3 送信/受信バッファ	U3TD/RD	R/W	XXXX-XXXX	U3TD8-0/U3RD8-0									
39	未使用	-	-	-	*1	*1	*1	*1	*1	*1	*1	*1		
3A	USART3 プリスケール分周比レジスタ	U3PRS	R/W	0000-0000	*2	*2	*2	*2	U3PRS3	U3PRS2	U3PRS1	U3PRSO		
3B	USART3 ポーレート分周比レジスタ	U3BRG	R/W	0000-0000	U3BRG7	U3BRG6	U3BRG5	U3BRG4	U3BRG3	U3BRG2	U3BRG1	U3BRGO		
3C	未使用	-	-	-	*1	*1	*1	*1	*1	*1	*1	*1		
3D	未使用	-	-	-	*1	*1	*1	*1	*1	*1	*1	*1		
3E	未使用	-	-	-	*1	*1	*1	*1	*1	*1	*1	*1		
3F	USART3 IrDAコントロールレジスタ	U3rCTL	R/W	0010-0000	*2	*2	U3SDINV	U3SD	*2	*2	U3RINV	*2		

- \*1) 未使用アドレスです。読み出し時には不定となります。
- \*2) 未使用ビットです。読み出し時には'0'が出力されます。
- \*3) 書き込み専用ビットです。読み出し時には不定となります。

## 2.2. レジスタ構成

## 2.2.1. ポート0～6 データレジスタ

ポート0データレジスタ (PD0 A[5:0]=00h)

ポート1データレジスタ (PD1 A[5:0]=02h)

ポート2データレジスタ (PD2 A[5:0]=04h)

ポート3データレジスタ (PD3 A[5:0]=06h)

ポート4データレジスタ (PD4 A[5:0]=08h)

ポート5データレジスタ (PD5 A[5:0]=0Ah)

ポート6データレジスタ (PD6 A[5:0]=0Ch)

b7	b6	b5	b4	b3	b2	b1	b0
PDn7	PDn6	PDn5	PDn4	PDn3	PDn2	PDn1	PDn0

ビット	ビット名	機能	初期値	R/W
0～7	PDn0～ PDn7	ポートデータ設定ビット [対応するポートのビットが入力モード設定の場合] 0 : 対応するポートのビットよりLが入力 1 : 対応するポートのビットよりHが入力  [対応するポートのビットが出力モード設定の場合] 0 : 対応するポートのビットよりLを出力 1 : 対応するポートのビットよりHを出力  [対応するポートのビットがオープンドレイン設定の場合] 0 : 対応するポートのビットよりLを出力 1 : 対応するポートのビットよりZを出力	不定	R/W

n=0～6

## 2.2.2. ポート0～6 方向レジスタ

ポート0方向レジスタ (PC0 A[5:0]=01h)

ポート1方向レジスタ (PC1 A[5:0]=03h)

ポート2方向レジスタ (PC2 A[5:0]=05h)

ポート3方向レジスタ (PC3 A[5:0]=07h)

ポート4方向レジスタ (PC4 A[5:0]=09h)

ポート5方向レジスタ (PC5 A[5:0]=0Bh)

ポート6方向レジスタ (PC6 A[5:0]=0Dh)

b7	b6	b5	b4	b3	b2	b1	b0
PCn7	PCn6	PCn5	PCn4	PCn3	PCn2	PCn1	PCn0

ビット	ビット名	機能	初期値	R/W
0～7	PCn0～ PCn7	ポート方向設定ビット 0 : 対応するポートのビットを入力モードに設定 1 : 対応するポートのビットを出力モードに設定  (対応するポートがオープンドレイン設定の場合、 本レジスタへの設定は反映されません)  ※読み出し時には不定となります。	0	W

n=0～6

## 2.2.3. ポート7 データ・方向レジスタ

ポート7データ・方向レジスタ (PDC7 A[5:0]=0Eh)

b7	b6	b5	b4	b3	b2	b1	b0
PC73	PC72	PC71	PC70	PD73	PD72	PD71	PD70

ビット	ビット名	機能	初期値	R/W
0~3	PD70~ PD73	ポートデータ設定ビット [対応するポートのビットが入力モード設定の場合] 0 : 対応するポートのビットより'L'が入力 1 : 対応するポートのビットより'H'が入力  [対応するポート(ビット)が出力モードの場合] 0 : 対応するポートのビットより'L'を出力 1 : 対応するポートのビットより'H'を出力	不定	R/W
4~7	PC70~ PC73	ポート方向設定ビット 0 : 対応するポート(ビット)を入力モードに設定 1 : 対応するポート(ビット)を出力モードに設定  ※読み出し時には不定となります。	0	W

## 2.2.4. オープンドレイン設定レジスタ

オープンドレイン設定レジスタ (ODCTL A[5:0]=0Fh)

b7	b6	b5	b4	b3	b2	b1	b0
-	ODC6	-	-	-	-	-	ODC0

ビット	ビット名	機能	初期値	R/W
0	ODC0	ポート0 オープンドレイン設定ビット 0 : ポート0を拡張I/Oとして設定 1 : ポート0をオープンドレインとして設定	0	R/W
1~5	-	未使用(読み出し時には'0'が出力されます)	-	-
6	ODC6	ポート6 オープンドレイン設定ビット 0 : ポート6を拡張I/Oとして設定 1 : ポート6をオープンドレインとして設定	0	R/W
7	-	未使用(読み出し時には'0'が出力されます)	-	-

## 2.2.5. コントロールレジスタ

USART1 コントロールレジスタ (U1CTL A[5:0]=10h)

USART2 コントロールレジスタ (U2CTL A[5:0]=20h)

USART3 コントロールレジスタ (U3CTL A[5:0]=30h)

b7	b6	b5	b4	b3	b2	b1	b0
'0'	'0'	SIO1	SIO0	-	ENINT	ENCNT	ENB

ビット	ビット名	機能	初期値	R/W
0	ENB	USART イネーブルビット 0 : USART使用不可 1 : USART使用可となり、TXD,RXD(USRTではCKOまたはCKIも含む)が対応するピンに設定されます	0	R/W
1	ENCNT	USART CTS,RTS,IrSDイネーブルビット 0 : CTS,RTS,IrSD使用不可 1 : CTS,RTS,IrSDが対応するピンに設定されます (ENB='1'の時のみ)	0	R/W
2	ENINT	USART INTイネーブルビット 0 : INT使用不可 1 : INTが対応するピンに設定されます (ENB='1'の時のみ)	0	R/W
3	-	未使用(読み出し時には'0'が出力されます)	-	-
4	SIO0	USART シリアルI/Oモード選択ビット 00 : UARTモード 01 : UARTモード(IrDAデータタイプ選択) 10 : USRTモード(内部クロック選択) 11 : USRTモード(外部クロック選択)	0	R/W
5	SIO1		0	R/W
6~7	-	※本ビットへは必ず'0'設定を行ってください。'1'設定を行った場合の動作保証は出来ません。	-	-

## 2.2.6. リセットレジスタ

USART1 リセットレジスタ (U1IR A[5:0]=11h)

USART2 リセットレジスタ (U2IR A[5:0]=21h)

USART3 リセットレジスタ (U3IR A[5:0]=31h)

b7	b6	b5	b4	b3	b2	b1	b0
IR	-	-	-	-	-	-	-

ビット	ビット名	機能	初期値	R/W
0~6	-	未使用(読み出し時には'0'が出力されます)	-	-
7	IR	ソフトリセットビット 0 : USARTブロックの初期化 (本レジスタ、コントロールレジスタを除く) 1 : USARTブロックの初期化解除(USART 動作可能)  ※本ビットは'0'設定(初期化)後、自動的に'1'設定(初期化解除)に戻りません。必ず'0'設定→'1'設定を行ってください。	1	R/W

## 2.2.7. モードレジスタ

USART1 モードレジスタ (U1MOD A[5:0]=12h)

USART2 モードレジスタ (U2MOD A[5:0]=22h)

USART3 モードレジスタ (U3MOD A[5:0]=32h)

b7	b6	b5	b4	b3	b2	b1	b0	
PE	PT	SP	<i>RM1</i>	RM0	DL2	DL1	DL0	U1MOD
PE	PT	SP	-	RM0	DL2	DL1	DL0	U2(3)MOD

斜体はUSART1のみ使用可能です

ビット	ビット名	機能	初期値	R/W
0	DL0	UART データ長設定ビット 000 :5ビット	1	R/W
1	DL1	001 :6ビット 010 :7ビット 011 :8ビット 100 :9ビット	1	R/W
2	DL2	※上記以外の設定は禁止です。	0	R/W
3	RM0	UART RTSマスク設定選択ビット 00 :RTSビット設定を出力 01 :RTSビット設定と受信バッファフルフラグとのOR出力	0	R/W
4	<i>RM1</i>	<i>11</i> :RTSビット設定と受信バッファMOSTフルフラグとのOR出力 ※上記以外の設定は禁止です。	0	R/W
5	SP	UART ストップビット長設定ビット 0 :1ストップビット 1 :2ストップビット	0	R/W
6	PT	UART パリティ選択ビット 0 :奇数パリティ 1 :偶数パリティ	0	R/W
7	PE	UART パリティ許可ビット 0 :パリティ無し 1 :パリティ有り	0	R/W

※本レジスタは、UARTモード時のみ使用します。  
USRTモード時は本レジスタの設定は不要です。

## 2.2.8. コマンドレジスタ

USART1 コマンドレジスタ (U1COM A[5:0]=13h)

USART2 コマンドレジスタ (U2COM A[5:0]=23h)

USART3 コマンドレジスタ (U3COM A[5:0]=33h)

b7	b6	b5	b4	b3	b2	b1	b0
RBC	TBC	RCLR	-	RTS	RE	TE	CE

ビット	ビット名	機能	初期値	R/W
0	CE	USART CTS許可ビット 0 :CTS有効 1 :CTS無効	0	R/W
1	TE	USART 送信許可ビット 0 :送信禁止 1 :送信許可	0	R/W
2	RE	USART 受信許可ビット 0 :受信禁止 1 :受信許可	0	R/W
3	RTS	USART リクエスト・ツウ・SENDビット 0 :RTS端子 出力='H' 1 :RTS端子 出力='L'	0	R/W
4	-	未使用(読み出し時には'0'が出力されます)	-	-
5	RCLR	USART 受信シフトレジスタクリアビット 0 :受信シフトレジスタクリア 1 :受信シフトレジスタクリア解除(受信可能)  <u>※本ビットは'0'設定(クリア)後、自動的に'1'設定(クリア解除)に戻りません。必ず'0'設定→'1'設定を行ってください。</u>	1	R/W
6	TBC	USART 送信ブロッククリアビット 0 :送信ブロッククリア 1 :送信ブロッククリア解除(送信可能)  <u>※本ビットは'0'設定(クリア)後、自動的に'1'設定(クリア解除)に戻りません。必ず'0'設定→'1'設定を行ってください。</u>	1	R/W
7	RBC	USART 受信ブロッククリアビット 0 :受信ブロッククリア 1 :受信ブロッククリア解除(受信可能)  <u>※本ビットは'0'設定(クリア)後、自動的に'1'設定(クリア解除)に戻りません。必ず'0'設定→'1'設定を行ってください。</u>	1	R/W

## 2.2.9. ステータス1レジスタ

USART1 ステータス1レジスタ (U1STA1 A[5:0]=14h)

USART2 ステータス1レジスタ (U2STA1 A[5:0]=24h)

USART3 ステータス1レジスタ (U3STA1 A[5:0]=34h)

b7	b6	b5	b4	b3	b2	b1	b0	
<i>RXE</i>	RBF	<i>RBMF</i>	<i>RBE</i>	TXE	<i>TBF</i>	<i>TBMF</i>	TBE	U1STA1
-	RBF	-	-	TXE	-	-	TBE	U2(3)STA1

斜体はUSART1のみ使用可能です

ビット	ビット名	機能	初期値	R/W
0	TBE	USART 送信バッファエンピティフラグ 1 :送信バッファは空	1	R
1	<i>TBMF</i>	<i>USART 送信バッファMOSTフルフラグ</i> <i>1 :送信バッファにはMOSTレジスタ設定値以上の</i> <i>未送信データがある</i>	0	R
2	<i>TBF</i>	<i>USART 送信バッファフルフラグ</i> <i>1 :送信バッファは一杯</i>	0	R
3	TXE	USART 送信シフトレジスタエンピティフラグ 1 :送信シフトレジスタは空	1	R
4	<i>RBE</i>	<i>USART 受信バッファエンピティフラグ</i> <i>1 :受信バッファは空</i>	1	R
5	<i>RBMF</i>	<i>USART 受信バッファMOSTフルフラグ</i> <i>1 :受信バッファにはMOSTレジスタ設定値以上の</i> <i>受信データがある</i>	0	R
6	RBF	USART 受信バッファフルフラグ 1 :受信バッファは一杯	0	R
7	<i>RXE</i>	<i>USART 受信シフトレジスタエンピティフラグ</i> <i>1 :受信シフトレジスタは空</i>	1	R

## 2.2.10. 割り込みマスク 1 レジスタ

USART1 割り込みマスク1レジスタ (U1MSK1 A[5:0]=15h)

USART2 割り込みマスク1レジスタ (U2MSK1 A[5:0]=25h)

USART3 割り込みマスク1レジスタ (U3MSK1 A[5:0]=35h)

b7	b6	b5	b4	b3	b2	b1	b0	
<i>MRXE</i>	MRBF	<i>MRBMF</i>	<i>MRBE</i>	MTXE	<i>MTBF</i>	<i>MTBMF</i>	MTBE	U1MSK1
-	MRBF	-	-	MTXE	-	-	MTBE	U2(3)MSK1

斜体はUSART1のみ使用可能です

ビット	ビット名	機能	初期値	R/W
0	MTBE	USART TBE割込マスクビット 0 :送信バッファエンプティ割込マスク無し 1 :送信バッファエンプティ割込マスク設定	1	R/W
1	<i>MTBMF</i>	<i>USART TBMF割込マスクビット</i> <i>0 :送信バッファMOSTフル割込マスク無し</i> <i>1 :送信バッファMOSTフル割込マスク設定</i>	<i>1</i>	R/W
2	<i>MTBF</i>	<i>USART TBF割込マスクビット</i> <i>0 :送信バッファフル割込マスク無し</i> <i>1 :送信バッファフル割込マスク設定</i>	<i>1</i>	R/W
3	MTXE	USART TXE割込マスクビット 0 :送信シフトレジスタエンプティ割込マスク無し 1 :送信シフトレジスタエンプティ割込マスク設定	1	R/W
4	<i>MRBE</i>	<i>USART RBE割込マスクビット</i> <i>0 :受信バッファエンプティ割込マスク無し</i> <i>1 :受信バッファエンプティ割込マスク設定</i>	<i>1</i>	R/W
5	<i>MRBMF</i>	<i>USART RBMF割込マスクビット</i> <i>0 :受信バッファMOSTフル割込マスク無し</i> <i>1 :受信バッファMOSTフル割込マスク設定</i>	<i>1</i>	R/W
6	MRBF	USART RBF割込マスクビット 0 :受信バッファフル割込マスク無し 1 :受信バッファフル割込マスク設定	1	R/W
7	<i>MRXE</i>	<i>USART RXE割込マスクビット</i> <i>0 :受信シフトレジスタエンプティ割込マスク無し</i> <i>1 :受信シフトレジスタエンプティ割込マスク設定</i>	<i>1</i>	R/W

## 2.2.11. ステータス 2 レジスタ

USART1 ステータス2レジスタ (U1STA2 A[5:0]=16h)

USART2 ステータス2レジスタ (U2STA2 A[5:0]=26h)

USART3 ステータス2レジスタ (U3STA2 A[5:0]=36h)

b7	b6	b5	b4	b3	b2	b1	b0
ERR	PER	FER	OER	-	-	-	-

ビット	ビット名	機能	初期値	R/W
0~3	-	未使用(読み出し時には'0'が出力されます)	-	-
4	OER	USART オーバーランエラーフラグ 1 : オーバーランエラー発生	0	R
5	FER	UART フレーミングエラーフラグ 1 : フレーミングエラー発生	0	R
6	PER	UART パリティエラーフラグ 1 : パリティエラー発生	0	R
7	ERR	USART エラーフラグ 1 : エラー発生	0	R

## 2.2.12. 割り込みマスク 2 レジスタ

USART1 割り込みマスク2レジスタ (U1MSK2 A[5:0]=17h)

USART2 割り込みマスク2レジスタ (U2MSK2 A[5:0]=27h)

USART3 割り込みマスク2レジスタ (U3MSK2 A[5:0]=37h)

b7	b6	b5	b4	b3	b2	b1	b0
MERR	-	-	-	-	-	-	-

ビット	ビット名	機能	初期値	R/W
0~6	-	未使用(読み出し時には'0'が出力されます)	-	-
7	MERR	USART ERR割込マスクビット 0 : エラー割込マスク無し 1 : エラー割込マスク設定	1	R/W

## 2.2.13. 送信/受信バッファ

USART1 送信/受信バッファ (U1TD/RD A[5:0]=18h)

USART2 送信/受信バッファ (U2TD/RD A[5:0]=28h)

USART3 送信/受信バッファ (U3TD/RD A[5:0]=38h)

b7	b6	b5	b4	b3	b2	b1	b0
TD/RD7	TD/RD6	TD/RD5	TD/RD4	TD/RD3	TD/RD2	TD/RD1	TD/RD0
-	-	-	-	-	-	-	TD/RD8

ビット	ビット名	機能	初期値	R/W
0	TD/RD0	USART 送信バッファ/受信バッファ 本バッファをアクセスWRITEすることにより送信データを送信バッファへ書き込むことが可能です。またアクセスREADすることにより受信バッファより受信データを読み出すことが可能です。  ※TD/RD8は「UART9ビットデータ長選択時」のみアクセス可能となります。本バッファへのアクセス方法は、1回目でTD/RD7~TD/RD0(下位8ビット)へアクセスし、2回目でTD/RD8(上位1ビット)へアクセスします。またアクセスは必ず2回行ってください(下位8ビットのみのアクセスは出来ません)。	不定	R/W
1	TD/RD1		不定	R/W
2	TD/RD2		不定	R/W
3	TD/RD3		不定	R/W
4	TD/RD4		不定	R/W
5	TD/RD5		不定	R/W
6	TD/RD6		不定	R/W
7	TD/RD7		不定	R/W
8	TD/RD8		不定	R/W

## 2.2.14. MOSTレジスタ

USART1 MOSTレジスタ (U1MOST A[5:0]=19h)

b7	b6	b5	b4	b3	b2	b1	b0
<i>RMOS3</i>	<i>RMOS2</i>	<i>RMOS1</i>	<i>RMOS0</i>	<i>TMOS3</i>	<i>TMOS2</i>	<i>TMOS1</i>	<i>TMOS0</i>

斜体はUSART1のみ使用可能です

ビット	ビット名	機能	初期値	R/W
0	<i>TMOS0</i>	<i>USART 送信バッファMOSTフルフラグ出力値設定ビット</i>	1	R/W
1	<i>TMOS1</i>	<i>0001 : 送信バッファに未送信データが1byte以上ある</i> :	1	R/W
2	<i>TMOS2</i>	<i>1111 : 送信バッファに未送信データが15byte以上ある</i>	1	R/W
3	<i>TMOS3</i>	※ <i>TMOS[3:0]=“0000”</i> 設定は禁止です。	1	R/W
4	<i>RMOS0</i>	<i>USART 受信バッファMOSTフルフラグ出力値設定ビット</i>	1	R/W
5	<i>RMOS1</i>	<i>0001 : 受信バッファに受信済みデータが1byte以上ある</i> :	1	R/W
6	<i>RMOS2</i>	<i>1111 : 受信バッファに受信済みデータが15byte以上ある</i>	1	R/W
7	<i>RMOS3</i>	※ <i>RMOS[3:0]=“0000”</i> 設定は禁止です。	1	R/W

## 2.2.15. プリスケーラ分周比レジスタ

USART1 プリスケーラ分周比レジスタ (U1PRS A[5:0]=1Ah)

USART2 プリスケーラ分周比レジスタ (U2PRS A[5:0]=2Ah)

USART3 プリスケーラ分周比レジスタ (U3PRS A[5:0]=3Ah)

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	PRS3	PRS2	PRS1	PRS0

ビット	ビット名	機能	初期値	R/W
0	PRS0	USART プリスケーラ分周比設定ビット 0000 : 1分周 0001 : 2分周 : 1110 : 15分周 1111 : 16分周	0	R/W
1	PRS1		0	R/W
2	PRS2		0	R/W
3	PRS3		0	R/W
4~7	-	未使用 (読み出し時には'0'が出力されます)	-	-

## 2.2.16. ボーレート分周比レジスタ

USART1 ボーレート分周比レジスタ (U1BRG A[5:0]=1Bh)

USART2 ボーレート分周比レジスタ (U2BRG A[5:0]=2Bh)

USART3 ボーレート分周比レジスタ (U3BRG A[5:0]=3Bh)

b7	b6	b5	b4	b3	b2	b1	b0
BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0

ビット	ビット名	機能	初期値	R/W
0	BRG0	USART ボーレート分周比設定ビット 00000000 : 1分周 00000001 : 2分周 : 11111110 : 255分周 11111111 : 256分周	0	R/W
1	BRG1		0	R/W
2	BRG2		0	R/W
3	BRG3		0	R/W
4	BRG4		0	R/W
5	BRG5		0	R/W
6	BRG6		0	R/W
7	BRG7		0	R/W

## 2.2.17. IrDAコントロールレジスタ

USART1 IrDAコントロールレジスタ (U1IrCTL A[5:0]=1Fh)

USART2 IrDAコントロールレジスタ (U2IrCTL A[5:0]=2Fh)

USART3 IrDAコントロールレジスタ (U3IrCTL A[5:0]=3Fh)

b7	b6	b5	b4	b3	b2	b1	b0
-	-	SDINV	SD	-	-	RINV	-

ビット	ビット名	機能	初期値	R/W
0	-	未使用(読み出し時には'0'が出力されます)	-	-
1	RINV	IrDAモジュール RXD極性選択ビット 0 : 受光時'L'出力のIrDAモジュールと接続 1 : 受光時'H'出力のIrDAモジュールと接続	0	R/W
2~3	-	未使用(読み出し時には'0'が出力されます)	-	-
4	SD	IrDAモジュール シャットダウン機能制御ビット 0 : 通常動作 1 : シャットダウン	0	R/W
5	SDINV	IrDAモジュール シャットダウン極性選択ビット 0 : 'L'入力でシャットダウンのIrDAモジュールと接続 1 : 'H'入力でシャットダウンのIrDAモジュールと接続	1	R/W
6~7	-	未使用(読み出し時には'0'が出力されます)	-	-

### 3. 機能説明

#### 3.1. CPUインターフェース

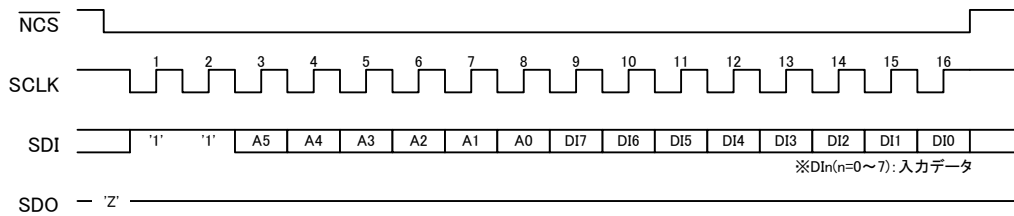
CPU I/F選択入力端子(MODE0~1)に任意の設定を行うことで、CPUインターフェースを80系CPUインターフェースや68系CPUインターフェース、またはシリアルバスに対応させることができます。

MODE1	MODE0	CPUインターフェース
0	0	80系CPUインターフェースモード
0	1	68系CPUインターフェースモード
1	0	シリアルバスインターフェースモード
1	1	設定禁止

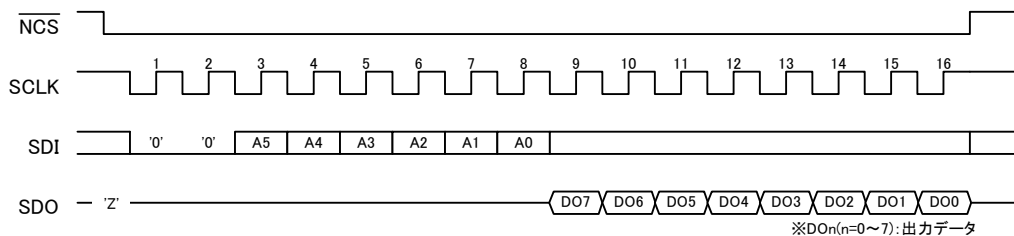
#### シリアルバスインターフェースモード動作説明

$\overline{\text{NCS}}$ 、SCLK、SDI、SDOの4端子を使用して内部レジスタの設定を行い、I/Oエキスパンダー、USARTの制御を行います。 $\overline{\text{NCS}}=\text{L}$ の時のみ、SCLKの値が有効となります。WRITEアクセス時はデータの1,2ビット目を'1'に、READアクセス時にはデータの1,2ビット目を'0'に設定してください。また、 $\overline{\text{NCS}}$ はアクセス毎に必ず'H'にする必要があります。

##### WRITEアクセスフォーマット

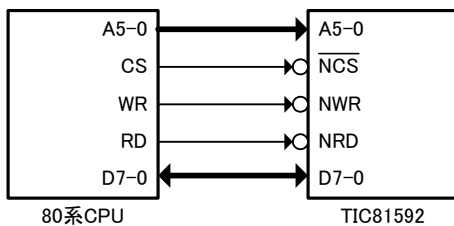


##### READアクセスフォーマット

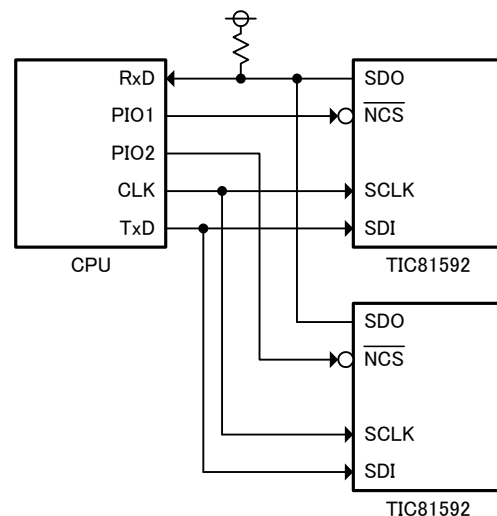


#### CPU接続例

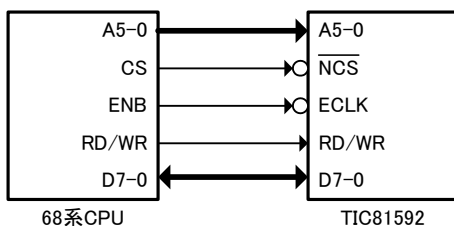
##### >> 80系CPUインターフェースモード



##### >> シリアルバスインターフェースモード



##### >> 68系CPUインターフェースモード



### 3.2. CPUバススピードと入力クロック

CPUバススピードと入力クロックは以下の条件式を満たす様にしてください。

$$\text{『 } 1/\text{CPU入力周波数} \times \text{サイクル数} > 1/\text{入力周波数} \times 3.5 \text{』}$$

ex) CPU入力周波数: 20MHz ・入力周波数: 32MHzの場合

前述の計算式に当てはめると「 $1/20\text{MHz} \times \text{サイクル数} > 1/32\text{MHz} \times 3.5$ 」となりますので、CPUサイクル数は3以上(バススピード: 6.667MHz以下)となります。

### 3.3. I/Oエキスパンダー

I/Oエキスパンダーとして8ビットの入出力ポート7組(P0~P6)、4ビットの入出力ポート1組(P7)の計60本の入出力ポートがあります。

各ポートは、入出力の方向を決定するポート方向レジスタとデータの入出力を行うポートデータレジスタを持ちます。さらにポート0(P0)とポート6(P6)には擬似Nchオープンドレイン制御を行うオープンドレイン制御レジスタを持ちます。

ハードウェアリセット後はポート方向レジスタは入力、ポートデータレジスタは不定となりますので、基板上でのプルアップ処理を推奨します。

#### >> ポートデータレジスタへの書き込み

ポート方向レジスタを出力に設定しているとき、ポートデータレジスタに出力データを書き込めば、それぞれ対応した端子からポートデータレジスタに書き込んだデータが出力します。出力のレベルは、CMOS出力です。

ポート方向レジスタを入力に設定しているとき、ポートデータレジスタにデータを書き込めば、ポートデータレジスタにはデータが書き込まれますが、対応した端子からはポートデータレジスタに書き込んだデータは出力しません。

#### >> ポートデータレジスタからの読み込み

ポート方向レジスタを出力に設定しているとき、ポートデータレジスタの値を読み込めば、対応した端子の状態ではなくポートデータレジスタの値を読み込みます。

ポート方向レジスタを入力に設定しているとき、ポートデータレジスタの値を読み込めば、対応した端子の状態を読み込みます。

#### >> オープンドレイン設定

ポート0、ポート6はオープンドレイン制御ビットによってポート単位でオープンドレインあり/なしを設定できます。対応するポートデータレジスタを'0'設定することで'L'が、'1'設定することで高インピーダンスとなります。オープンドレイン設定時はポート方向レジスタの値は無効となり、ポートデータレジスタからは常にポートレジスタデータの値が読み込みます。

なお、擬似Nchオープンドレインですので、耐圧はV<sub>dd</sub> + 0.5Vとなります。

## 3.4. USART

USARTとして、16バイト送受信バッファUSART(USART1)と1バイト送受信バッファUSART(USART2・USART3)の計3本を内蔵しています。

各USARTはそれぞれのコントロールレジスタに対して任意に設定を行うことで、対応するUSARTの使用が可能となります。以下は各USARTのコントロールレジスタ設定値毎のI/Oポート対応表です。

USART1の動作モード	USART1コントロールレジスタ(U1CTL)				P64	P65	P66	P67	P70
	SIO1-0	ENINT	ENCNT	ENB					
UART	00	0	0	0	P64	P65	P66	P67	P70
		0	0	1	U1RXD	U1TXD	P66	P67	P70
		0	1	1	U1RXD	U1TXD	U1CTS	U1RTS	P70
		1	0	1	U1RXD	U1TXD	P66	P67	U1INT
		1	1	1	U1RXD	U1TXD	U1CTS	U1RTS	U1INT
UART (IrDAデータタイプ)	01	0	0	0	P64	P65	P66	P67	P70
		0	0	1	U1RXD	U1TXD	P66	P67	P70
		0	1	1	U1RXD	U1TXD	P66	U1rSD	P70
		1	0	1	U1RXD	U1TXD	P66	P67	U1INT
		1	1	1	U1RXD	U1TXD	P66	U1rSD	U1INT
USRT (内部クロック選択)	10	0	0	0	P64	P65	P66	P67	P70
		0	0	1	U1RXD	U1TXD	P66	U1CKO	P70
		0	1	1	U1RXD	U1TXD	U1CTS	U1CKO	P70
		1	0	1	U1RXD	U1TXD	P66	U1CKO	U1INT
		1	1	1	U1RXD	U1TXD	U1CTS	U1CKO	U1INT
USRT (外部クロック選択)	11	0	0	0	P64	P65	P66	P67	P70
		0	0	1	U1RXD	U1TXD	U1CKI	P67	P70
		0	1	1	U1RXD	U1TXD	U1CKI	U1RTS	P70
		1	0	1	U1RXD	U1TXD	U1CKI	P67	U1INT
		1	1	1	U1RXD	U1TXD	U1CKI	U1RTS	U1INT

USART2の動作モード	USART2コントロールレジスタ(U2CTL)				P60	P61	P62	P63	P71
	SIO1-0	ENINT	ENCNT	ENB					
UART	00	0	0	0	P60	P61	P62	P63	P71
		0	0	1	U2RXD	U2TXD	P62	P63	P71
		0	1	1	U2RXD	U2TXD	U2CTS	U2RTS	P71
		1	0	1	U2RXD	U2TXD	P62	P63	U2INT
		1	1	1	U2RXD	U2TXD	U2CTS	U2RTS	U2INT
UART (IrDAデータタイプ)	01	0	0	0	P60	P61	P62	P63	P71
		0	0	1	U2RXD	U2TXD	P62	P63	P71
		0	1	1	U2RXD	U2TXD	P62	U2rSD	P71
		1	0	1	U2RXD	U2TXD	P62	P63	U2INT
		1	1	1	U2RXD	U2TXD	P62	U2rSD	U2INT
USRT (内部クロック選択)	10	0	0	0	P60	P61	P62	P63	P71
		0	0	1	U2RXD	U2TXD	P62	U2CKO	P71
		0	1	1	U2RXD	U2TXD	U2CTS	U2CKO	P71
		1	0	1	U2RXD	U2TXD	P62	U2CKO	U2INT
		1	1	1	U2RXD	U2TXD	U2CTS	U2CKO	U2INT
USRT (外部クロック選択)	11	0	0	0	P60	P61	P62	P63	P71
		0	0	1	U2RXD	U2TXD	U2CKI	P63	P71
		0	1	1	U2RXD	U2TXD	U2CKI	U2RTS	P71
		1	0	1	U2RXD	U2TXD	U2CKI	P63	U2INT
		1	1	1	U2RXD	U2TXD	U2CKI	U2RTS	U2INT

USART3の動作モード	USART3コントロールレジスタ(U3CTL)				P54	P55	P56	P57	P72
	SIO1-0	ENINT	ENCNT	ENB					
UART	00	0	0	0	P54	P55	P56	P57	P72
		0	0	1	U3RXD	U3TXD	P56	P57	P72
		0	1	1	U3RXD	U3TXD	U3CTS	U3RTS	P72
		1	0	1	U3RXD	U3TXD	P56	P57	U3INT
		1	1	1	U3RXD	U3TXD	U3CTS	U3RTS	U3INT
UART (IrDAデータタイプ)	01	0	0	0	P54	P55	P56	P57	P72
		0	0	1	U3RXD	U3TXD	P56	P57	P72
		0	1	1	U3RXD	U3TXD	P56	U3rSD	P72
		1	0	1	U3RXD	U3TXD	P56	P57	U3INT
		1	1	1	U3RXD	U3TXD	P56	U3rSD	U3INT
USRT (内部クロック選択)	10	0	0	0	P54	P55	P56	P57	P72
		0	0	1	U3RXD	U3TXD	P56	U3CKO	P72
		0	1	1	U3RXD	U3TXD	U3CTS	U3CKO	P72
		1	0	1	U3RXD	U3TXD	P56	U3CKO	U3INT
		1	1	1	U3RXD	U3TXD	U3CTS	U3CKO	U3INT
USRT (外部クロック選択)	11	0	0	0	P54	P55	P56	P57	P72
		0	0	1	U3RXD	U3TXD	U3CKI	P57	P72
		0	1	1	U3RXD	U3TXD	U3CKI	U3RTS	P72
		1	0	1	U3RXD	U3TXD	U3CKI	P57	U3INT
		1	1	1	U3RXD	U3TXD	U3CKI	U3RTS	U3INT

### 3.4.1. UART(クロック非同期式シリアルデータ通信)

USARTコントロールレジスタのシリアルI/Oモード選択ビット1を'0'に設定することで、UARTとして使用可能となります。USARTコントロールレジスタのシリアルI/Oモード選択ビット0を'0'に設定することでデータタイプとしてUARTタイプ、'1'に設定することでIrDAタイプが選択可能です。

UARTはキャラクタ単位で同期をとりながら通信を行います。送信ブロックと受信ブロックは独立していますので、全二重通信が可能です。

#### >> 送受信データフォーマット

- ・スタートビット 1ビット('L')
- ・データ長 5ビット/6ビット/7ビット/8ビット/9ビット
- ・パリティビット 奇数/偶数/なし
- ・ストップビット 1ビット/2ビット
- ・データタイプ UART/IrDA

#### >> パリティビット

パリティには奇数パリティと偶数パリティの2種類があります。いずれの場合でもデータの中の'1'の数を数えます。パリティビットを加えて、'1'の数の合計が奇数となるようにパリティビットの値を決めたものを奇数パリティ、偶数になるようにパリティビットの値を決めたものを偶数パリティとします。

#### >> ボーレート(転送速度)

送信ブロック及び受信ブロックのボーレートを発生する4ビットのプログラマブルな分周器(プリスケアラ)と8ビットのプログラマブルな分周器(ボーレートジェネレータ)を内蔵しています。プリスケアラ分周比はレジスタ設定値をn(n=0~15)とすると(n+1)分周となります。ボーレートジェネレータ分周比はレジスタ設定値をm(m=0~255)とすると(m+1)分周となります。ボーレートは以下の式で算出します。

$$\text{ボーレート} = \frac{f(X_{in})}{\text{プリスケアラ分周比}(n+1) \times \text{ボーレートジェネレータ分周比}(m+1) \times 16}$$

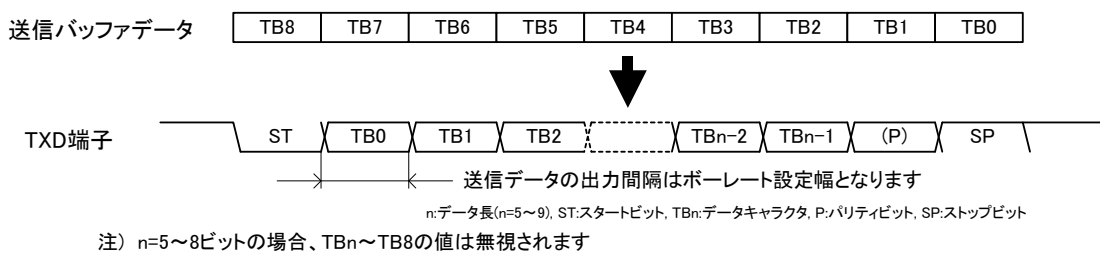
#### プリスケアラ(PRS)とボーレートジェネレータ(BRG)のレジスタ設定値とボーレート選択例

PRS設定値	BRG設定値	ボーレート(bps)			
		f(X <sub>in</sub> )=1.8432MHz	f(X <sub>in</sub> )=4.9152MHz	f(X <sub>in</sub> )=20MHz	f(X <sub>in</sub> )=32MHz
00h	00h	115200	307200	1250000	2000000
00h	01h	57600	153600	625000	1000000
00h	02h	38400	102400	416666.667	666666.667
00h	03h	28800	76800	312500	500000
00h	05h	19200	51200	208333.333	333333.333
00h	07h	14400	38400	156250	250000
00h	0Bh	9600	25600	104166.667	166666.667
00h	0Fh	7200	19200	78125	125000
03h	05h	4800	12800	52083.333	83333.333
03h	07h	3600	9600	39062.5	62500
03h	0Bh	2400	6400	26041.667	41666.667
03h	0Fh	1800	4800	19531.25	31250
07h	0Bh	1200	3200	13020.833	20833.333
07h	0Fh	900	2400	9765.625	15625
07h	17h	600	1600	6510.417	10416.667
07h	1Fh	450	1200	4882.813	7812.5
07h	2Fh	300	800	3255.208	5208.333
07h	3Fh	225	600	2441.406	3906.25
07h	7Fh	112.5	300	1220.703	1953.125
07h	FFh	56.25	150	610.352	976.563
0Fh	FFh	28.125	75	305.176	488.281

## &gt;&gt; 送信動作

- ①以下3つの条件が満たされていれば、送信を開始します。
  - ・コマンドレジスタの送信許可ビットを送信許可に設定。
  - ・送信バッファに送信データを書き込み。
  - ・コマンドレジスタのCTS許可ビットをCTS有効に設定時では、CTS端子が'L'入力。
- ②送信バッファより送信シフトレジスタへ未送信データを転送します。同時に、TXD端子からはスタートビットが出力されます。以降、送信データ → パリティビット(パリティありの場合) → ストップビットの順に出力されます。
- ③ストップビットを出力し送信完了時に次の送信条件が満たされていれば、ストップビットに続いてスタートビットが出力され、次の送信を行います。

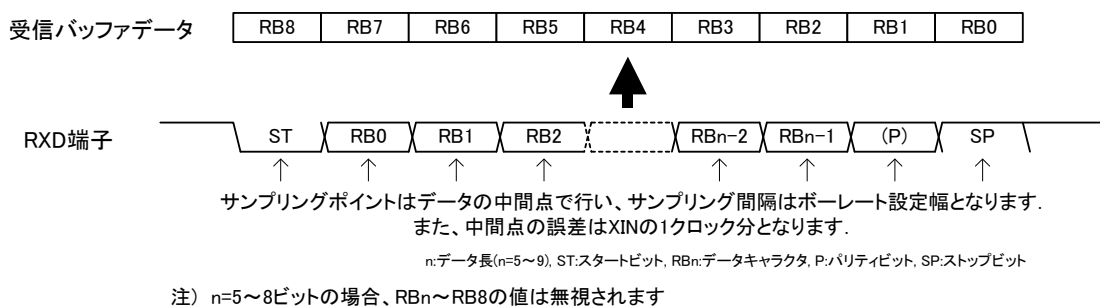
## &gt;&gt; 送信フォーマット



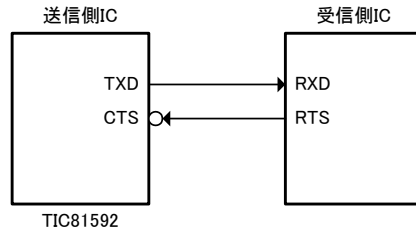
## &gt;&gt; 受信動作

- ①コマンドレジスタの受信許可ビットを受信許可に設定することで、受信可能状態になります。
- ②RTSを使用する場合は、コマンドレジスタのリクエスト・ツウ・センドビットに'1'設定を行うことでRTS端子が'L'出力となり、受信可能状態になったことを送信側に知らせます。
- ③RXD端子より、スタートビット → 受信データ → パリティビット(パリティありの場合) → ストップビットの順に入力されます。
- ④ストップビットを受信すると、受信シフトレジスタの受信データを受信バッファへ転送します。同時に、エラーの判定を行います。

## &gt;&gt; 受信フォーマット

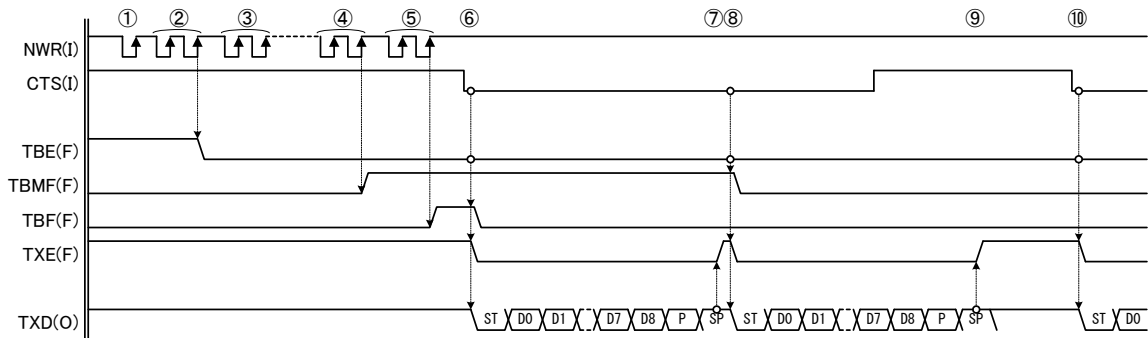


>> 送信接続例



>> 送信タイミング例

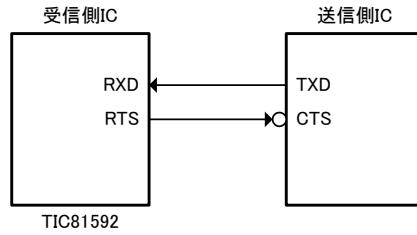
- 送信フォーマット : CTS有効  
 : データ長=9ビット (送信バッファへは、下位→上位の順に2回アクセスを行う)  
 : パリティビット=有効  
 : ストップビット=1ビット
- MOSTレジスタ設定 : FFh (初期設定. 送信バッファに未送信データが15バイト以上ある場合、TBMF='H')



注) (I): 入力ピン  
 (F): 内部ステータスフラグ  
 (O): 出力ピン

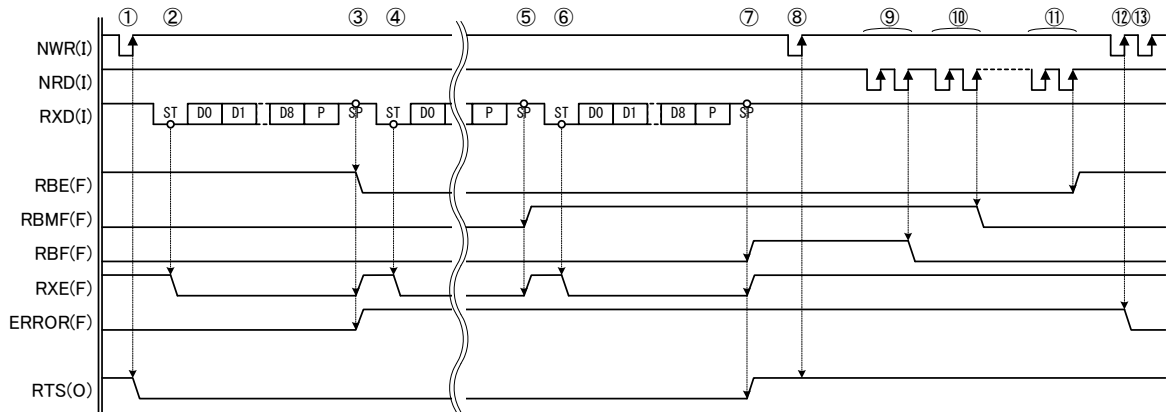
- ①送信許可設定 (コマンドレジスタ="11100010")
- ②送信バッファへ1バイト目の送信データ書き込み (TBE='H'→'L')  
 ※以降データ長9ビットの為、下位→上位の順に2回アクセスを行う。
- ③送信バッファへ2バイト目の送信データ書き込み
- この間、送信バッファへ12バイト分の送信データを書き込み -----
- ④送信バッファへ15バイト目の送信データ書き込み (TBMF='L'→'H')
- ⑤送信バッファへ16バイト目の送信データ書き込み (TBF='L'→'H')
- ⑥CTS='L'であることを検知し、送信バッファ内の送信データを  
送信シフトレジスタへ転送して送信を開始 (TXE='H'→'L', TBF='H'→'L')
- ⑦送信終了 (TXE='L'→'H')
- ⑧CTS='L'であることを検知し、送信バッファ内の送信データを  
送信シフトレジスタへ転送して送信を開始 (TXE='H'→'L', TBMF='H'→'L')
- ⑨送信終了 (TXE='L'→'H')  
 ※CTS='H'のため、送信バッファに未送信データはあるが、送信シフトレジスタへの  
データの転送は行われない。
- ⑩CTS='L'であることを検知し、送信バッファ内の送信データを  
送信シフトレジスタへ転送して送信を開始 (TXE='H'→'L')

>> 受信タイミング例



>> 受信タイミング例

- 受信フォーマット : RTS有効, RBFフラグでマスク  
 : データ長=9ビット (受信バッファへは、下位→上位の順に2回アクセスを行う)  
 : パリティビット=有効  
 : ストップビット=1ビット
- MOSTレジスタ設定 : FFh (初期設定. 受信バッファに未受信データが15バイト以上ある場合、RBMF='H')



注) (I): 入力ピン  
 (F): 内部ステータスフラグ  
 (O): 出力ピン

- ① 受信許可設定、RTS出力=L設定 (コマンドレジスタ="11101100", RTS='H'→'L')
  - ② 1バイト目のデータ受信スタートビット検出 (RXE='H'→'L')
  - ③ 1バイト目のデータ受信が完了し受信バッファへ受信データを転送 (RBE='H'→'L', RXE='L'→'H')  
 ※パリティエラー発生!! (ERROR='L'→'H')
  - ④ 2バイト目のデータ受信スタートビット検出 (RXE='H'→'L')
- この間、13バイト分のデータを受信 -----
- ⑤ 15バイト目のデータ受信が完了し受信バッファへ受信データを転送 (RBMF='L'→'H', RXE='L'→'H')
  - ⑥ 16バイト目のデータ受信スタートビット検出 (RXE='H'→'L')
  - ⑦ 16バイト目のデータ受信が完了し受信バッファへ受信データを転送 (RBMF='L'→'H', RXE='L'→'H', RTS='L'→'H')
  - ⑧ RTS出力=L設定 (コマンドレジスタ="11100100")
  - ⑨ 受信バッファから1バイト目の受信データを読み出し (RBF='H'→'L')  
 ※以降データ長9ビットの為、下位→上位の順に2回アクセスを行う。
  - ⑩ 受信バッファから2バイト目の受信データを読み出し (RBMF='H'→'L')
- この間、13バイト分の受信データを受信バッファから読み出し -----
- ⑪ 受信バッファから16バイト目の受信データを読み出し (RBE='L'→'H')
  - ⑫ 受信バッファクリアを行い、エラークリア (ERROR='H'→'L')
  - ⑬ 受信バッファクリアの解除

**>> 送信ブロックステータス****・送信バッファエンプティ フラグ(TBE)**

CPUより送信バッファへ送信データが書き込まれた時点で'0'となり、送信許可状態で送信バッファより送信シフトレジスタへ未送信データを転送し、送信バッファが空になると'1'となります。

**・送信バッファMOSTフル フラグ(TBMF)**

UART1のみのステータスです。送信バッファ(16バイトFIFO)内の未送信データの数がMOSTレジスタ設定値以上あるときに'1'となり、送信許可状態で送信シフトレジスタへ未送信データを転送し、送信バッファ内の未送信データの数がMOSTレジスタ設定値未満で'0'となります。

**・送信バッファフル フラグ(TBF)**

UART1のみのステータスです。送信バッファ(16バイトFIFO)内の未送信データの数が16バイトであるときに'1'となり、送信許可状態で送信バッファより送信シフトレジスタへ未送信データを転送し、送信バッファ内の未送信データの数が15バイト以下で'0'となります。送信バッファフルでCPUより送信バッファへ送信データの書き込みを行った場合は、送信バッファへ書き込みを行った送信データが破棄されます。

**・送信シフトレジスタエンプティ フラグ(TXE)**

送信バッファより送信シフトレジスタへ未送信データが転送された時点で'0'となり、送信終了で'1'となります。

**>> 受信ブロックステータス****・受信バッファエンプティ フラグ(RBE)**

UART1のみのステータスです。受信シフトレジスタより受信完了データが受信バッファに転送されると'0'となり、CPUが受信バッファより受信完了データを読み出し、受信バッファが空になると'1'となります。

**・受信バッファMOSTフル フラグ(RBMF)**

UART1のみのステータスです。受信バッファ(16バイトFIFO)内の受信完了データの数がMOSTレジスタ設定値以上あるときに'1'となり、CPUが受信バッファより受信完了データを読み出し、受信バッファ内の受信完了データの数がMOSTレジスタ設定値未満で'0'となります。

**・受信バッファフル フラグ(RBF)**

受信バッファ(16バイトFIFO)内の受信完了データの数が16バイトであるときに'1'となり、CPUが受信バッファより受信完了データを読み出し、受信バッファ内の受信完了データの数が15バイト以下で'0'となります。受信バッファフルで受信シフトレジスタより受信完了データが受信バッファへ転送された場合は、受信バッファへ転送された受信完了データが破棄されます。また、オーバーランエラーが発生します。

**・受信シフトレジスタエンプティ フラグ(RXE)**

UART1のみのステータスです。受信シフトレジスタが受信を開始した時点で'0'となり、受信シフトレジスタより受信完了データを受信バッファへ転送して'1'となります。

## >> 受信エラー検出

### ・パリティエラー

受信シフトレジスタ受信完了時に、パリティビット許可でデータとパリティビットの中の'1'の合計が設定した個数(奇数/偶数)でなかったときに発生します。受信データは受信シフトレジスタから受信バッファへ転送されます。

### ・フレーミングエラー

受信シフトレジスタ受信完了時に、設定した個数分のストップビットが検出できないときに発生します。受信データは受信シフトレジスタから受信バッファへ転送されます。

### ・オーバーランエラー

受信シフトレジスタ受信完了時に、受信バッファフルであったときに発生します。受信データは破棄されます。

### ・エラーフラグ

パリティエラー、フレーミングエラー、オーバーランエラーのいずれか1つでも検出されたときに発生します。

## >> エラー発生時の対処方法

データ受信時、エラーフラグ(ステータス2レジスタ)と全受信データを読み出し、エラーの判断を行ってください。エラーフラグ(ステータス2レジスタ)の初期化する手順は以下の通りです。なお、以下手順を行うことで受信バッファ内のデータも初期化されます。データが必要な場合は受信バッファ内のデータを読み出した後に実行してください。

- ①コマンドレジスタの受信許可ビット(RE)を'0'(受信禁止)に設定する。
- ②コマンドレジスタの受信ブロッククリアビット(RBC)を'0'(受信ブロッククリア)に設定する。  
→ 受信ブロックステータス(ステータス1レジスタ上位4ビット)、エラーフラグ(ステータス2レジスタ)の初期化
- ③コマンドレジスタの受信ブロッククリアビット(RBC)を'1'(受信ブロッククリア解除)に再設定する。
- ④コマンドレジスタの受信許可ビット(RE)を'1'(受信許可)に再設定する。

データ送信時、受信側のエラー発生によって再送信を行う必要がある場合は、送信バッファに送信データを再設定した後に、再送信してください。送信バッファに送信データを再設定する手順は以下の通りです。

- ①コマンドレジスタの送信許可ビット(TE)を'0'(送信禁止)に設定する。
- ②コマンドレジスタの送信ブロッククリアビット(TBC)を'0'(送信ブロッククリア)に設定する。  
→ 送信ブロックステータス(ステータス1レジスタ下位4ビット)、送信バッファ内の未送信データの初期化
- ③コマンドレジスタの送信ブロッククリアビット(TBC)を'1'(送信ブロッククリア解除)に再設定する。
- ④コマンドレジスタの送信許可ビット(TE)を'1'(送信許可)に再設定する。

※送信バッファへの送信データ再設定は、手順④実施前/実施後いずれにも対応可能です。

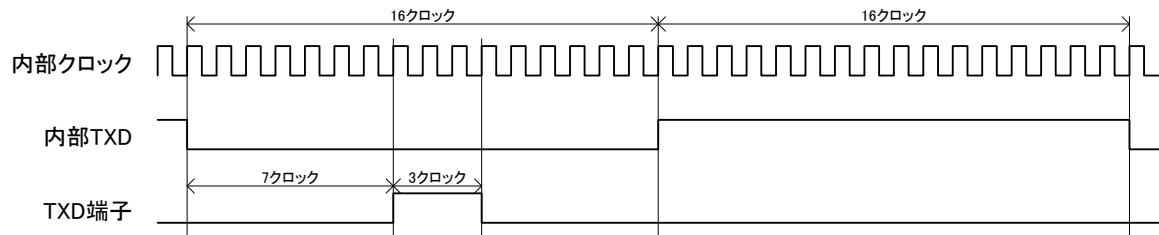
## >> 割り込み(INT)出力

割り込み出力として各UARTともにステータス1レジスタとステータス2レジスタのエラーフラグの状態を出力することができます。割り込みマスク1レジスタ、割り込みマスク2レジスタを任意設定することで割り込みの条件を指定することができます。初期状態では全フラグマスク設定となっています。

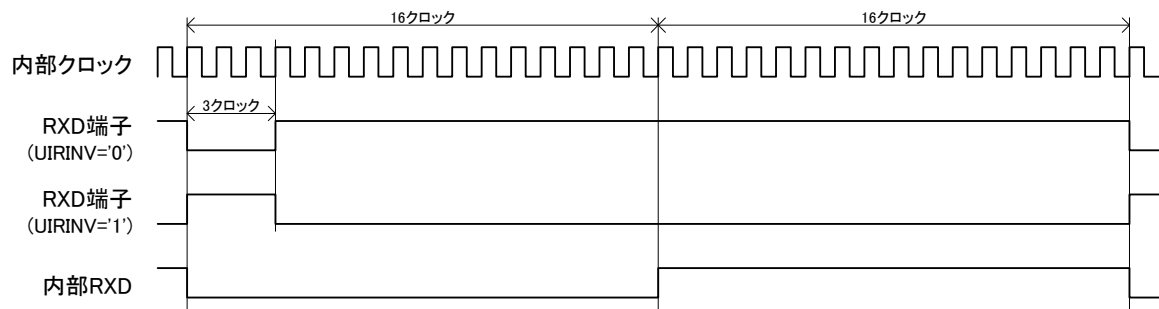
### >> IrDA送受信

コントロールレジスタのシリアルI/Oモード選択ビット0を'1'設定することでIrDAデータタイプでの送受信を行うことができます。またIrDAコントロールレジスタを任意に設定を行うことで、RXD入力の極性選択、IrDAモジュールへのシャットダウン制御、シャットダウン制御出力の極性選択が可能です。

### >> IrDA送信時(UART→IrDA)フォーマット変換



### >> IrDA受信時(IrDA→UART)フォーマット変換



### 3.4.2. USRT(クロック同期式シリアルデータ通信)

USARTコントロールレジスタのシリアルI/Oモード選択ビット1を'1'に設定することで、USRTとして使用可能となります。USARTコントロールレジスタのシリアルI/Oモード選択ビット0を'0'に設定することで内部クロック選択、'1'に設定することで外部クロック選択が選択可能です。

USRTはクロックに同期して8ビットのデータ通信を行います。

#### >> 送受信データフォーマット

・データ長            8ビット

#### >> ボーレート(転送速度)

送信ブロック及び受信ブロックのボーレートを発生する4ビットのプログラマブルな分周器(プリスケアラ)と8ビットのプログラマブルな分周器(ボーレートジェネレータ)を内蔵しています。プリスケアラ分周比はレジスタ設定値をn(n=0~15)とすると(n+1)分周となります。ボーレートジェネレータ分周比はレジスタ設定値をm(m=0~255)とすると(m+1)分周となります。ボーレートは以下の式で算出します。

$$\text{ボーレート} = \frac{f(Xin)}{\text{プリスケアラ分周比}(n+1) \times \text{ボーレートジェネレータ分周比}(m+1) \times 2}$$

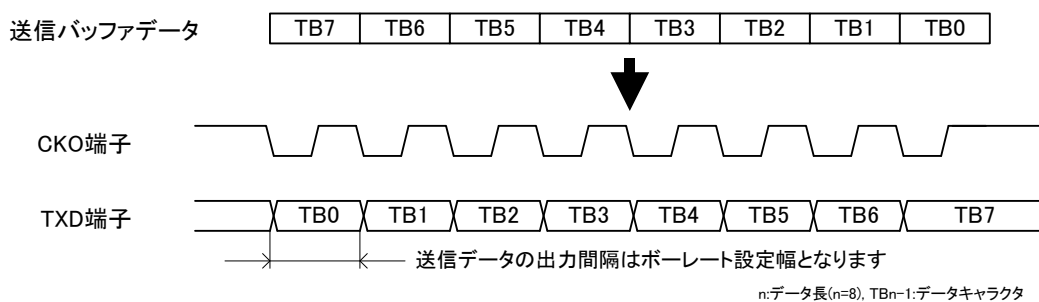
#### プリスケアラ(PRS)とボーレートジェネレータ(BRG)のレジスタ設定値とボーレート選択例

PRS設定値	BRG設定値	ボーレート(bps)			
		f(Xin)=1.8432MHz	f(Xin)=4.9152MHz	f(Xin)=20MHz	f(Xin)=32MHz
00h	00h	921600	-	-	-
00h	01h	460800	1228800	-	-
00h	02h	307200	819200	-	-
00h	03h	230400	614400	-	-
00h	05h	153600	409600	166666.667	-
00h	07h	115200	307200	1250000	2000000
00h	08h	76800	204800	833333.333	1333333.333
00h	0Fh	57600	153600	625000	1000000
03h	05h	38400	102400	416666.667	666666.667
03h	07h	28800	76800	312500	500000
03h	08h	19200	51200	208333.333	333333.333
03h	0Fh	14400	38400	156250	250000
07h	08h	9600	25600	104166.667	166666.667
07h	0Fh	7200	19200	78125	125000
07h	17h	4800	12800	52083.333	83333.333
07h	1Fh	3600	9600	39062.5	62500
07h	2Fh	2400	6400	26041.667	41666.667
07h	3Fh	1800	4800	19531.25	31250
07h	7Fh	900	2400	9765.625	15625
07h	FFh	450	1200	4882.813	7812.5
0Fh	FFh	225	600	2441.406	3906.25

## &gt;&gt; 送信動作(内部クロック選択)

- ①以下3つの条件が満たされていれば、送信を開始します。
  - ・コマンドレジスタの送信許可ビットを送信許可に設定
  - ・送信バッファに送信データを書き込み
  - ・コマンドレジスタのCTS許可ビットをCTS有効に設定時では、CTS端子が'L'入力
- ②CKO端子より転送クロックが出力されます。この転送クロックの最初の立下りで、送信バッファより送信シフトレジスタへ未送信データを転送します。また、送信データの1ビット目がTXD端子から出力されます。そして、転送クロックの立下りエッジに同期して、下位ビットから順に1ビットずつ送信されます。
- ③1バイトのデータ送信が完了すると、転送クロックは'H'に固定されます。
- ④データ送信中に送信バッファに次の送信データを書き込んでいけば、続けて送信が行われます。

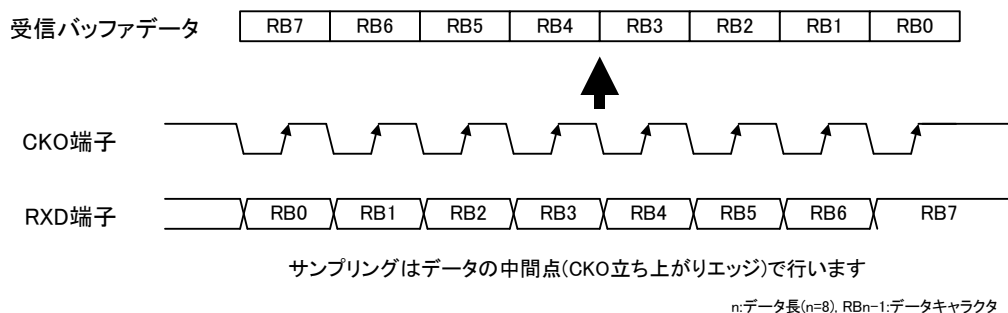
## &gt;&gt; 送信フォーマット(内部クロック選択)



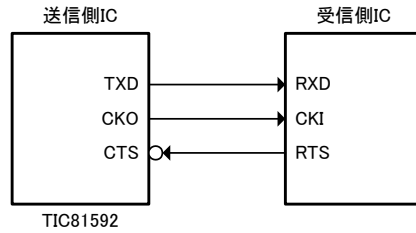
## &gt;&gt; 受信動作(内部クロック選択)

- ①以下3つの条件が満たされていれば、受信を開始します。
  - ・コマンドレジスタの送信許可ビットを送信許可に設定
  - ・送信バッファにダミーデータを書き込み
  - ・コマンドレジスタの受信許可ビットを受信許可に設定
- ②CKO端子より転送クロックが出力されます。この転送クロックの最初の立ち上がりで、RXD端子の入力信号を受信シフトレジスタの最上位ビットに取り込みます。そして、転送クロックの立ち上がりでエッジに同期して、受信シフトレジスタの内容を下位にシフトしながらデータを取り込みます。
- ③1バイトのデータ受信(ダミーデータ送信)が完了すると、転送クロックは'H'に固定されます。
- ④1バイトのデータが揃うと、受信シフトレジスタの受信データを受信バッファへ転送します。同時に、エラーの判定を行います。

## &gt;&gt; 受信フォーマット(内部クロック選択)

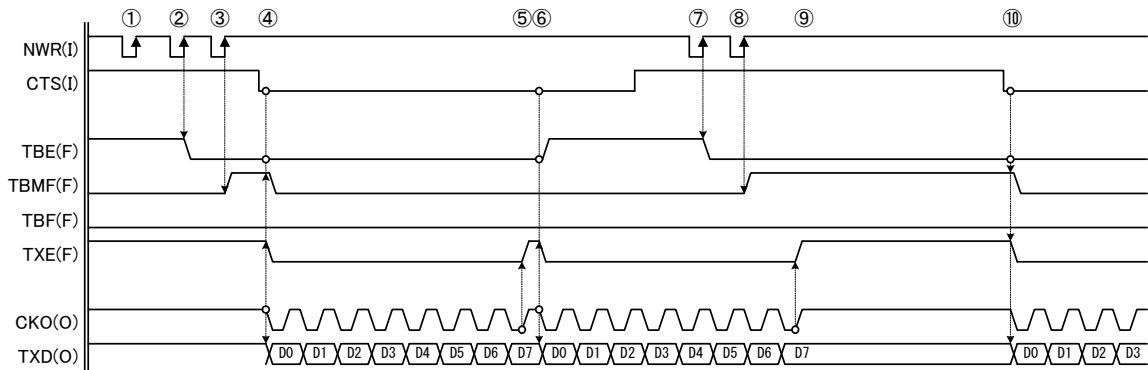


>> 送信接続例(内部クロック選択)



>> 送信タイミング例(内部クロック選択)

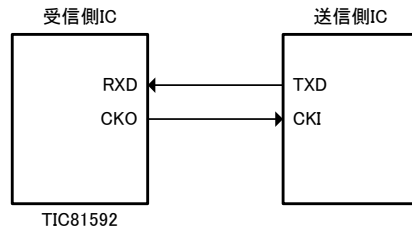
MOSTレジスタ設定 : F2h (送信バッファに未送信データが2バイト以上ある場合、TBMF='H')



注) (I): 入力ピン  
(F): 内部ステータスフラグ  
(O): 出力ピン

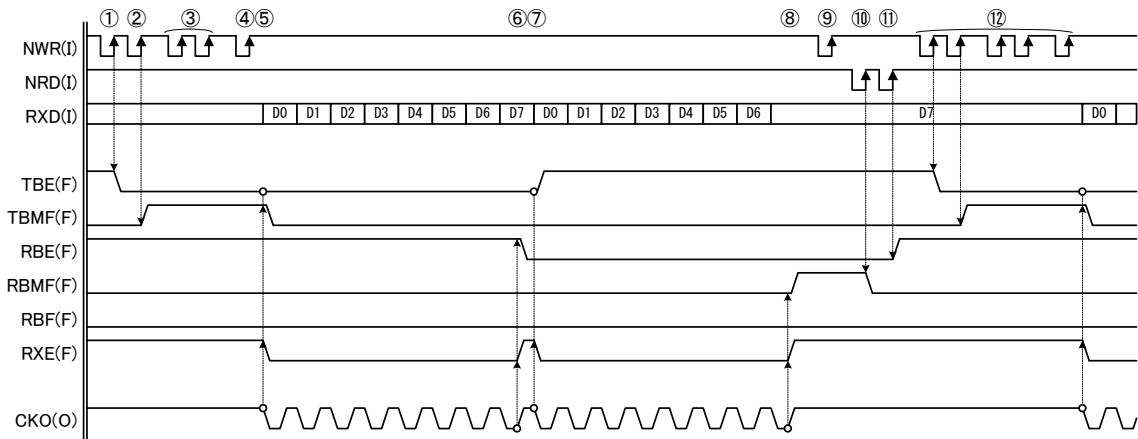
- ①送信許可設定 (コマンドレジスタ="11100010")
  - ②送信バッファへ1バイト目の送信データ書き込み (TBE='H'→'L')
  - ③送信バッファへ2バイト目の送信データ書き込み (TBMF='L'→'H')
  - ④CTS='L'であることを検知し、転送クロックの立ち下がりエッジに同期して、送信バッファ内の送信データを送信シフトレジスタへ転送し、送信を開始 (TXE='H'→'L', TBMF='H'→'L')
  - ⑤送信終了 (TXE='L'→'H')
  - ⑥CTS='L'であることを検知し、転送クロックの立ち下がりエッジに同期して、送信バッファ内の送信データを送信シフトレジスタへ転送し、送信を開始 (TXE='H'→'L', TBE='L'→'H')
  - ⑦送信バッファへ3バイト目の送信データ書き込み (TBE='H'→'L')
  - ⑧送信バッファへ4バイト目の送信データ書き込み (TBMF='L'→'H')
  - ⑨送信終了 (TXE='L'→'H')
- ※CTS='H'のため、送信バッファに未送信データはあるが、送信シフトレジスタへのデータの転送は行われない。
- ⑩CTS='L'であることを検知し、転送クロックの立ち下がりエッジに同期して、送信バッファ内の送信データを送信シフトレジスタへ転送し、送信を開始 (TXE='H'→'L', TBMF='H'→'L')

>> 受信接続例(内部クロック選択)



>> 受信タイミング例(内部クロック選択)

MOSTレジスタ設定 :22h (送信バッファに未送信データが2バイト以上ある場合、TBMF='H'  
受信バッファに受信データが2バイト以上ある場合、RBMF='H')



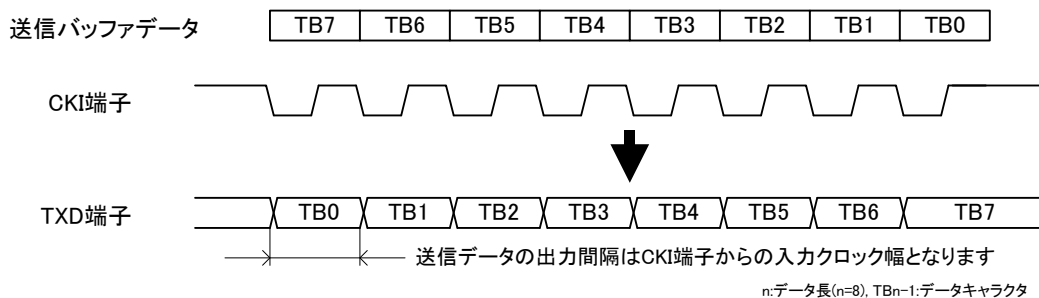
注) (I): 入力ピン  
(F): 内部ステータスフラグ  
(O): 出力ピン

- ①送信バッファへ1バイト目のダミーデータ書き込み (TBE='H'→'L')
- ②送信バッファへ2バイト目のダミーデータ書き込み (TBMF='L'→'H')
- ③USRT受信シフトレジスタクリアビットを使用し、USRT受信ブロックの初期化  
※'0'設定→'1'設定の2回アクセスを行う。
- ④受信許可、送信許可、CTS無効設定 (コマンドレジスタ="11100111")
- ⑤転送クロックの立ち下がりがエッジに同期して、送信バッファ内のダミーデータを  
送信シフトレジスタへ転送し、転送クロックの出力を開始 (TBMF='H'→'L', RXE='H'→'L')  
転送クロックの立ち上がりがエッジに同期して、データ受信開始
- ⑥受信終了 (RBE='H'→'L', RXE='L'→'H')
- ⑦転送クロックの立ち下がりがエッジに同期して、送信バッファ内のダミーデータを  
送信シフトレジスタへ転送し、転送クロックの出力を開始 (TBE='L'→'H', RXE='H'→'L')  
転送クロックの立ち上がりがエッジに同期して、データ受信開始
- ⑧受信終了 (RBMF='L'→'H', RXE='L'→'H')
- ⑨受信禁止、送信禁止設定 (コマンドレジスタ="11100001")
- ⑩受信バッファから1バイト目の受信データを読み出し (RBMF='H'→'L')
- ⑪受信バッファから2バイト目の受信データを読み出し (RBE='L'→'H')
- ⑫前述①から⑤を実行

## &gt;&gt; 送信動作(外部クロック選択)

- ①以下2つの条件が満たされていれば、送信可能になります。
  - ・コマンドレジスタの送信許可ビットを送信許可に設定
  - ・送信バッファに送信データを書き込み
- ②CKI端子より転送クロックが入力されます。この転送クロックの最初の立ち下がりで、送信バッファより送信シフトレジスタへ送信データを転送します。また、送信データの1ビット目がTXD端子から出力されます。そして、転送クロックの立ち下がりエッジに同期して、下位ビットから順に1ビットずつ送信されます。

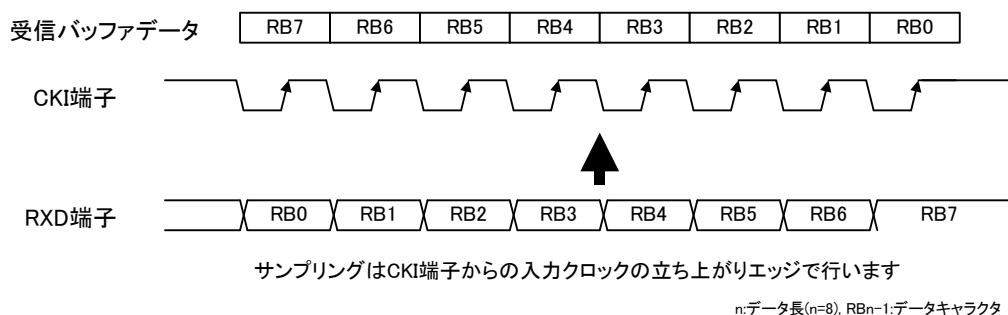
## &gt;&gt; 送信フォーマット(外部クロック選択)



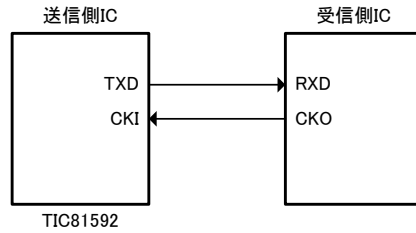
## &gt;&gt; 受信動作(外部クロック選択)

- ①以下3つの条件が満たされていれば、受信可能になります。
  - ・コマンドレジスタの送信許可ビットを送信許可に設定
  - ・送信バッファにダミーデータを書き込み
  - ・コマンドレジスタの受信許可ビットを受信許可に設定
- ②RTSを使用する場合は、コマンドレジスタのリクエスト・ツウ・センドビットに'1'設定を行うことでRTS端子が'L'出力となり、受信可能状態になったことを送信側に知らせます。
- ③CKI端子より転送クロックが入力されます。この転送クロックの最初の立ち上がりで、RXD端子の入力信号を受信シフトレジスタの最上位ビットに取り込みます。そして、転送クロックの立ち上がりエッジに同期して、受信シフトレジスタの内容を下位にシフトしながらデータを取り込みます。
- ④1バイトのデータが揃うと、受信シフトレジスタの受信データを受信バッファへ転送します。同時に、エラーの判定を行います。

## &gt;&gt; 受信フォーマット(外部クロック選択)

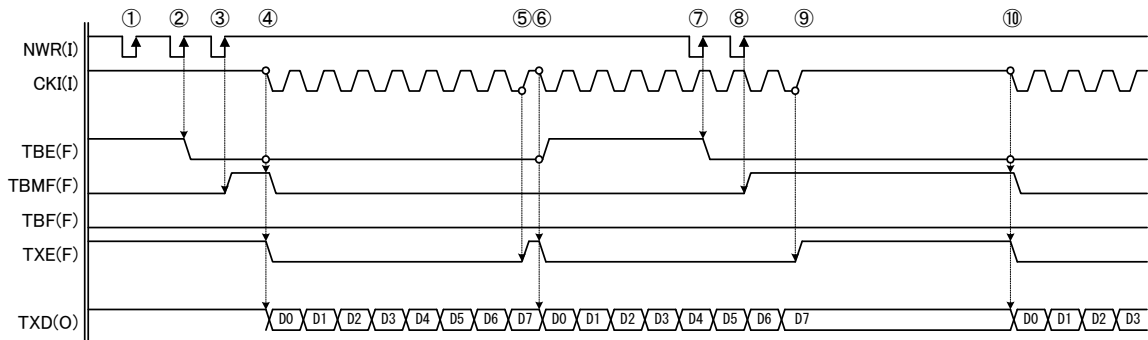


>> 送信接続例(外部クロック選択)



>> 送信タイミング例(外部クロック選択)

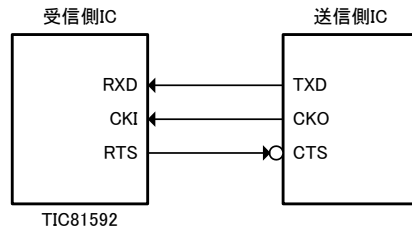
MOSTレジスタ設定 : F2h (送信バッファに未送信データが2バイト以上ある場合、TBMF='H')



注) (I): 入力ピン  
(F): 内部ステータスフラグ  
(O): 出力ピン

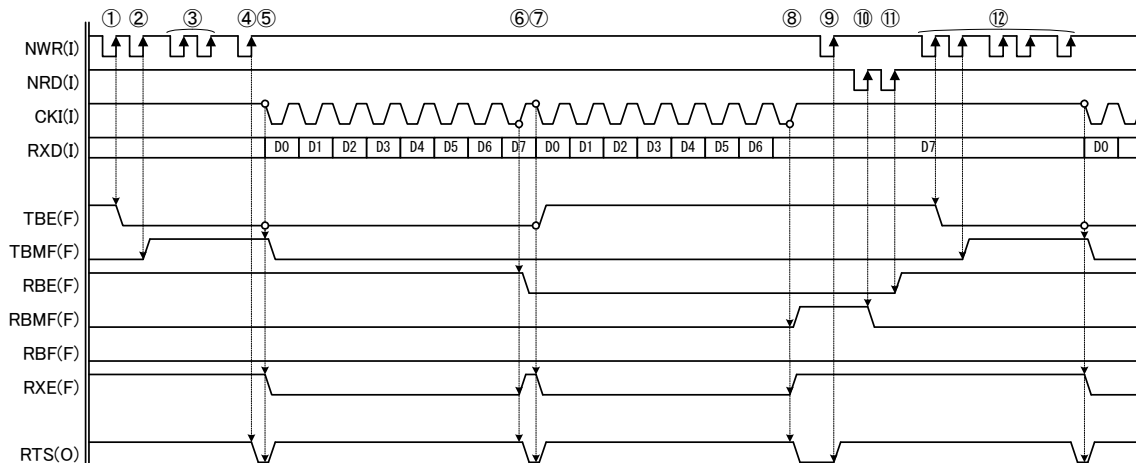
- ①送信許可設定 (コマンドレジスタ="11100010")
- ②送信バッファへ1バイト目の送信データ書き込み (TBE='H'→'L')
- ③送信バッファへ2バイト目の送信データ書き込み (TBMF='L'→'H')
- ④転送クロックの立ち下がりエッジに同期して、送信バッファ内の送信データを送信シフトレジスタへ転送し、送信を開始 (TXE='H'→'L', TBMF='H'→'L')
- ⑤送信終了 (TXE='L'→'H')
- ⑥転送クロックの立ち下がりエッジに同期して、送信バッファ内の送信データを送信シフトレジスタへ転送し、送信を開始 (TXE='H'→'L', TBE='H'→'L')
- ⑦送信バッファへ3バイト目の送信データ書き込み (TBE='H'→'L')
- ⑧送信バッファへ4バイト目の送信データ書き込み (TBMF='L'→'H')
- ⑨送信終了 (TXE='L'→'H')
- ⑩転送クロックの立ち下がりエッジに同期して、送信バッファ内の送信データを送信シフトレジスタへ転送し、送信を開始 (TXE='H'→'L', TBMF='H'→'L')

>> 受信接続例(外部クロック選択)



>> 受信タイミング例(外部クロック選択)

MOSTレジスタ設定 : 22h (送信バッファに未送信データが2バイト以上ある場合、TBMF='H'  
受信バッファに受信データが2バイト以上ある場合、RBMF='H')



注) (I): 入力ピン  
(F): 内部ステータスフラグ  
(O): 出力ピン

- ①送信バッファへ1バイト目のダミーデータ書き込み (TBE='H'→'L')
- ②送信バッファへ2バイト目のダミーデータ書き込み (TBMF='L'→'H')
- ③USRT受信シフトレジスタクリアビットを使用し、USRT受信ブロックの初期化  
※'0'設定→'1'設定の2回アクセスを行う。
- ④受信許可、RTS出力='L'設定、送信許可、CTS無効設定 (コマンドレジスタ="11101111", RTS='H'→'L')
- ⑤転送クロックの立ち下がりエッジに同期して、送信バッファ内のダミーデータを  
送信シフトレジスタへ転送し、転送クロックの出力を開始 (TBMF='H'→'L', RXE='H'→'L', RTS='L'→'H')  
転送クロックの立ち上がりエッジに同期して、データ受信開始
- ⑥受信終了 (RBE='H'→'L', RXE='L'→'H', RTS='H'→'L')
- ⑦転送クロックの立ち下がりエッジに同期して、送信バッファ内のダミーデータを  
送信シフトレジスタへ転送し、転送クロックの出力を開始 (TBE='L'→'H', RXE='H'→'L', RTS='L'→'H')  
転送クロックの立ち上がりエッジに同期して、データ受信開始
- ⑧受信終了 (RBMF='L'→'H', RXE='L'→'H')
- ⑨受信禁止、RTS出力='H'設定、送信禁止設定 (コマンドレジスタ="11100001", RTS='L'→'H')
- ⑩受信バッファから1バイト目の受信データを読み出し (RBMF='H'→'L')
- ⑪受信バッファから2バイト目の受信データを読み出し (RBE='L'→'H')
- ⑫前述①から⑤を実行

## >> 送信ブロックステータス

### ・送信バッファエンプティ フラグ(TBE)

CPUより送信バッファへ送信データが書き込まれた時点で'0'となり、送信許可状態で送信バッファより送信シフトレジスタへ未送信データを転送し、送信バッファが空になると'1'となります。

### ・送信バッファMOSTフル フラグ(TBMF)

USRT1のみのステータスです。送信バッファ(16バイトFIFO)内の未送信データの数がMOSTレジスタ設定値以上あるときに'1'となり、送信許可状態で送信シフトレジスタへ未送信データを転送し、送信バッファ内の未送信データの数がMOSTレジスタ設定値未満で'0'となります。

### ・送信バッファフル フラグ(TBF)

USRT1のみのステータスです。送信バッファ(16バイトFIFO)内の未送信データの数が16バイトであるときに'1'となり、送信許可状態で送信バッファより送信シフトレジスタへ未送信データを転送し、送信バッファ内の未送信データの数が15バイト以下で'0'となります。送信バッファフルでCPUより送信バッファへ送信データの書き込みを行った場合は、送信バッファへ書き込みを行った送信データが破棄されます。

### ・送信シフトレジスタエンプティ フラグ(TXE)

送信バッファより送信シフトレジスタへ未送信データが転送された時点で'0'となり、送信終了で'1'となります。

## >> 受信ブロックステータス

### ・受信バッファエンプティ フラグ(RBE)

USRT1のみのステータスです。受信シフトレジスタより受信完了データが受信バッファに転送されると'0'となり、CPUが受信バッファより受信完了データを読み出し、受信バッファが空になると'1'となります。

### ・受信バッファMOSTフル フラグ(RBMF)

USRT1のみのステータスです。受信バッファ(16バイトFIFO)内の受信完了データの数がMOSTレジスタ設定値以上あるときに'1'となり、CPUが受信バッファより受信完了データを読み出し、受信バッファ内の受信完了データの数がMOSTレジスタ設定値未満で'0'となります。

### ・受信バッファフル フラグ(RBF)

受信バッファ(16バイトFIFO)内の受信完了データの数が16バイトであるときに'1'となり、CPUが受信バッファより受信完了データを読み出し、受信バッファ内の受信完了データの数が15バイト以下で'0'となります。受信バッファフルで受信シフトレジスタより受信完了データが受信バッファへ転送された場合は、受信バッファへ転送された受信完了データが破棄されます。また、オーバーランエラーが発生します。

### ・受信シフトレジスタエンプティ フラグ(RXE)

USRT1のみのステータスです。受信シフトレジスタが受信を開始した時点で'0'となり、受信シフトレジスタより受信完了データを受信バッファへ転送して'1'となります。

## >> 受信エラー検出

### ・オーバーランエラー

受信シフトレジスタ受信完了時に、受信バッファフルであったときに発生します。受信データは破棄されます。

### ・エラーフラグ

パリティエラー、フレーミングエラー、オーバーランエラーのいずれか1つでも検出されたときに発生します。

## >> エラー発生時の対処方法

データ受信中での送信側のリセットや待機時のクロックへのノイズなどで受信シフトレジスタへ不要なデータが入ってしまった場合、受信バッファや受信ステータスを初期化することなく、受信シフトレジスタや受信シフトカウンタの初期化を行うことができます。初期化する手順は以下の通りです。

- ①コマンドレジスタの受信シフトレジスタクリアビット(RCLR)を'0'(受信シフトレジスタクリア)に設定する。
- ②コマンドレジスタの受信シフトレジスタクリアビット(RCLR)を'1'(受信シフトレジスタクリア解除)に再設定する。

データ受信時、エラーフラグ(ステータス2レジスタ)と全受信データを読み出し、エラーの判断を行ってください。エラーフラグ(ステータス2レジスタ)の初期化する手順は以下の通りです。なお、以下手順を行うことで受信バッファ内のデータも初期化されます。データが必要な場合は受信バッファ内のデータを読み出した後に実行してください。

- ①コマンドレジスタの受信許可ビット(RE)を'0'(受信禁止)に設定する。
- ②コマンドレジスタの受信ブロッククリアビット(RBC)を'0'(受信ブロッククリア)に設定する。  
→ 受信ブロックステータス(ステータス1レジスタ上位4ビット)、エラーフラグ(ステータス2レジスタ)の初期化
- ③コマンドレジスタの受信ブロッククリアビット(RBC)を'1'(受信ブロッククリア解除)に再設定する。
- ④コマンドレジスタの受信許可ビット(RE)を'1'(受信許可)に再設定する。

データ送信時、受信側のエラー発生によって再送信を行う必要がある場合は、送信バッファに送信データを再設定した後に、再送信してください。送信バッファに送信データを再設定する手順は以下の通りです。

- ①コマンドレジスタの送信許可ビット(TE)を'0'(送信禁止)に設定する。
- ②コマンドレジスタの送信ブロッククリアビット(TBC)を'0'(送信ブロッククリア)に設定する。  
→ 送信ブロックステータス(ステータス1レジスタ下位4ビット)、送信バッファ内の未送信データの初期化
- ③コマンドレジスタの送信ブロッククリアビット(TBC)を'1'(送信ブロッククリア解除)に再設定する。
- ④コマンドレジスタの送信許可ビット(TE)を'1'(送信許可)に再設定する。

※送信バッファへの送信データ再設定は、手順④実施前/実施後いずれにも対応可能です。

## >> 割り込み(INT)出力

割り込み出力として各USRTともにステータス1レジスタとステータス2レジスタのエラーフラグの状態を出力することができます。割り込みマスク1レジスタ、割り込みマスク2レジスタを任意設定することで割り込みの条件を指定することができます。初期状態では全フラグマスク設定となっています。

## 4. 製品規格

## 4.1. 絶対最大定格

(VSS=0V)

記号	項目	規格値		単位
		最小	最大	
VDD	電源電圧	-0.5	+6.0	V
VI	入力電圧	-0.5	+6.0 ※1	V
VO	出力電圧	-0.5	+6.0 ※1	V
IO	出力電流		IOL=+15	mA
Pd	消費電力		360	mW
Tstg	保存温度	-65	+150	°C

※1 VDD+0.5Vを超えない様にしてください。

## 4.2. 推奨動作条件

(VSS=0V)

記号	項目	規格値			単位
		最小	標準	最大	
VDD5	電源電圧 (5Vインターフェース)	4.5	5.0	5.5	V
VDD33	電源電圧 (3.3Vインターフェース)	3.0	3.3	3.6	V
Ta	動作周囲温度	-40	+25	+85	°C
VI	入力電圧	0		VDD	V
tr、tf	入力上昇、下降時間			200	ns

## 4.3. 電気的特性

## 4.3.1. VDD5

(VSS=0V, VDD=5V±10%, Ta=-40~+85°C)

記号	項目	条件	規格値			単位
			最小	標準	最大	
Ioz	オフステート出力電流 ※2	VI=VDD or VSS			±10	μA
Ios	出力短絡電流	VO=VSS			-250	mA
II	入力リーク電流	VI=VDD or VSS			±10	μA
VIL	入力電圧	CMOSインターフェース	0		0.3VDD	V
VIH			0.7VDD		VDD	
VOL	出力電圧	IOL, IOH=0mA			0.1	V
VOH			VDD-0.1			
IOL	出力電流 D0~D7, A0	VOL=0.4V	12			mA
IOH		VOH=VDD-0.4V			-12	
IOL	出力電流 P0~P7	VOL=0.4V	9			mA
IOH		VOH=VDD-0.4V			-9	
CI	入力ピン容量 ※3	f=1MHz, VDD=0V, Tj=25°C		8		pF
CIO	入出力ピン容量 ※3			8		

※2 出力短絡時間は1秒以下で、LSIの1端子のみです。

※3 1バッファ当たりの規格値です。

## 4.3.2. VDD3.3

(VSS=0V, VDD=3.3V±0.3V, Ta=-40~+85°C)

記号	項目	条件	規格値			単位
			最小	標準	最大	
Ioz	オフステート出力電流 ※2	VI=VDD or VSS			±8	μA
Ios	出力短絡電流	VO=VSS			-200	mA
II	入力リーク電流	VI=VDD or VSS			±8	μA
VIL	入力電圧	CMOSインターフェース	0		0.2VDD	V
VIH			0.8VDD		VDD	
VOL	出力電圧	IOL, IOH=0mA			0.1	V
VOH			VDD-0.1			
IOL	出力電流 D0~D7, A0	VOL=0.4V	9			mA
IOH		VOH=VDD-0.4V			-9	
IOL	出力電流 P0~P7	VOL=0.4V	6			mA
IOH		VOH=VDD-0.4V			-6	
CI	入力ピン容量 ※3	f=1MHz, VDD=0V, Tj=25°C		8		pF
CIO	入出力ピン容量 ※3			8		

※2 出力短絡時間は1秒以下で、LSIの1端子のみです。

※3 1バッファ当たりの規格値です。

## 4.4. タイミング必要条件

## 4.4.1. VDD5

(VSS=0V, VDD=5V±10%, Ta=-40~+85°C)

記号	項目	規格値		単位
		最小	最大	
tsu(A-NWR)	NWR立ち下がり前アドレスセットアップ時間	0		ns
tsu(NCS-NWR)	NWR立ち下がり前NCSセットアップ時間	0		ns
tsu(NRD-NWR)	NWR立ち下がり前NRDセットアップ時間	0		ns
th(NWR-A)	NWR立ち上がり後アドレスホールド時間	0		ns
th(NWR-NCS)	NWR立ち上がり後NCSホールド時間	0		ns
th(NWR-NRD)	NWR立ち上がり後NRDホールド時間	0		ns
tw(NWR)	NWRパルス幅	50		ns
tsu(D-NWR)	NWR立ち上がり前データセットアップ時間	20		ns
th(NWR-D)	NWR立ち上がり後データホールド時間	0		ns
tsu(A-NRD)	NRD立ち下がり前アドレスセットアップ時間	0		ns
tsu(NCS-NRD)	NRD立ち下がり前NCSセットアップ時間	0		ns
tsu(NWR-NRD)	NRD立ち下がり前NWRセットアップ時間	0		ns
th(NRD-A)	NRD立ち上がり後アドレスホールド時間	0		ns
th(NRD-NCS)	NRD立ち上がり後NCSホールド時間	0		ns
th(NRD-NWR)	NRD立ち上がり後NWRホールド時間	0		ns
tw(NRD)	NRDパルス幅	50		ns
tsu(A-ECLK)	ECLK立ち下がり前アドレスセットアップ時間	0		ns
tsu(NCS-ECLK)	ECLK立ち下がり前NCSセットアップ時間	0		ns
tsu(WR-ECLK)	ECLK立ち下がり前WRセットアップ時間	0		ns
th(ECLK-A)	ECLK立ち上がり後アドレスホールド時間	0		ns
th(ECLK-NCS)	ECLK立ち上がり後NCSホールド時間	0		ns
th(ECLK-WR)	ECLK立ち上がり後WRホールド時間	0		ns
tw(ECLK)	ECLKパルス幅	50		ns
tsu(D-ECLK)	ECLK立ち上がり前データセットアップ時間	20		ns
th(ECLK-D)	ECLK立ち上がり後データホールド時間	0		ns
tsu(RD-ECLK)	ECLK立ち下がり前RDセットアップ時間	0		ns
th(ECLK-RD)	ECLK立ち上がり後RDホールド時間	0		ns
tw(SCLK)	SCLKパルス幅	50		ns
tsu(NCS-SCLK)	SCLK立ち下がり前NCSセットアップ時間	20		ns
th(SCLK-NCS)	SCLK立ち上がり後NCSホールド時間	20		ns
tsu(SDI-SCLK)	SCLK立ち上がり前SDIセットアップ時間	20		ns
th(SCLK-SDI)	SCLK立ち上がり後SDIホールド時間	20		ns
tw(NRST)	NRSTパルス幅	100		ns
tc(Xin)	Xin周期	30		ns
tw(XinH)	Xin "H"パルス幅	14		ns
tw(XinL)	Xin "L"パルス幅	14		ns
tc(CKI)	CKI周期	480		ns
tw(CKIH)	CKI "H"パルス幅	220		ns
tw(CKIL)	CKI "L"パルス幅	220		ns
tsu(RXD-CKI)	CKI立ち上がり前RXDセットアップ時間	20		ns
th(CKI-RXD)	CKI立ち上がり後RXDホールド時間	20		ns

## 4.4.2. VDD3.3

(VSS=0V, VDD=3.3V±0.3V, Ta=-40~+85°C)

記号	項目	規格値		単位
		最小	最大	
tsu(A-NWR)	NWR立ち下がり前アドレスセットアップ時間	0		ns
tsu(NCS-NWR)	NWR立ち下がり前NCSセットアップ時間	0		ns
tsu(NRD-NWR)	NWR立ち下がり前NRDセットアップ時間	0		ns
th(NWR-A)	NWR立ち上がり後アドレスホールド時間	0		ns
th(NWR-NCS)	NWR立ち上がり後NCSホールド時間	0		ns
th(NWR-NRD)	NWR立ち上がり後NRDホールド時間	0		ns
tw(NWR)	NWRパルス幅	70		ns
tsu(D-NWR)	NWR立ち上がり前データセットアップ時間	30		ns
th(NWR-D)	NWR立ち上がり後データホールド時間	0		ns
tsu(A-NRD)	NRD立ち下がり前アドレスセットアップ時間	0		ns
tsu(NCS-NRD)	NRD立ち下がり前NCSセットアップ時間	0		ns
tsu(NWR-NRD)	NRD立ち下がり前NWRセットアップ時間	0		ns
th(NRD-A)	NRD立ち上がり後アドレスホールド時間	0		ns
th(NRD-NCS)	NRD立ち上がり後NCSホールド時間	0		ns
th(NRD-NWR)	NRD立ち上がり後NWRホールド時間	0		ns
tw(NRD)	NRDパルス幅	70		ns
tsu(A-ECLK)	ECLK立ち下がり前アドレスセットアップ時間	0		ns
tsu(NCS-ECLK)	ECLK立ち下がり前NCSセットアップ時間	0		ns
tsu(WR-ECLK)	ECLK立ち下がり前WRセットアップ時間	0		ns
th(ECLK-A)	ECLK立ち上がり後アドレスホールド時間	0		ns
th(ECLK-NCS)	ECLK立ち上がり後NCSホールド時間	0		ns
th(ECLK-WR)	ECLK立ち上がり後WRホールド時間	0		ns
tw(ECLK)	ECLKパルス幅	70		ns
tsu(D-ECLK)	ECLK立ち上がり前データセットアップ時間	30		ns
th(ECLK-D)	ECLK立ち上がり後データホールド時間	0		ns
tsu(RD-ECLK)	ECLK立ち下がり前RDセットアップ時間	0		ns
th(ECLK-RD)	ECLK立ち上がり後RDホールド時間	0		ns
tw(SCLK)	SCLKパルス幅	70		ns
tsu(NCS-SCLK)	SCLK立ち下がり前NCSセットアップ時間	30		ns
th(SCLK-NCS)	SCLK立ち上がり後NCSホールド時間	30		ns
tsu(SDI-SCLK)	SCLK立ち上がり前SDIセットアップ時間	30		ns
th(SCLK-SDI)	SCLK立ち上がり後SDIホールド時間	30		ns
tw(NRST)	NRSTパルス幅	120		ns
tc(Xin)	Xin周期	45		ns
tw(XinH)	Xin "H"パルス幅	20		ns
tw(XinL)	Xin "L"パルス幅	20		ns
tc(CKI)	CKI周期	480		ns
tw(CKIH)	CKI "H"パルス幅	220		ns
tw(CKIL)	CKI "L"パルス幅	220		ns
tsu(RXD-CKI)	CKI立ち上がり前RXDセットアップ時間	30		ns
th(CKI-RXD)	CKI立ち上がり後RXDホールド時間	30		ns

## 4.5. スイッチング特性

## 4.5.1. VDD5

(VSS=0V, VDD=5V±10%, Ta=-40~+85°C)

記号	項目	測定条件	規格値		単位
			最小	最大	
tAC(D)	80/68系CPU直結モード時データアクセス時間	CL=100pF		40	ns
tOH(D)	80/68系CPU直結モード時データ保持時間		0		ns
tAC(SDO)	シリアルI/Fモード時データアクセス時間	CL=100pF		40	ns
tOH(SDO)	シリアルI/Fモード時データ保持時間		0		ns
tD(Xin-CKO)	CKO出力遅延時間	CL=150pF		50	ns
tD(Xin-TXD)	TXD出力遅延時間			50	ns
tD(Xin-RTS)	RTS出力遅延時間			50	ns
tD(Xin-INT)	INT出力遅延時間			50	ns
tD(CKI-TXD)	TXD出力遅延時間	CL=150pF		50	ns
tD(CKI-RTS)	RTS出力遅延時間			50	ns
tD(IrSD)	IrSD出力遅延時間	CL=150pF		50	ns

## 4.5.2. VDD3.3

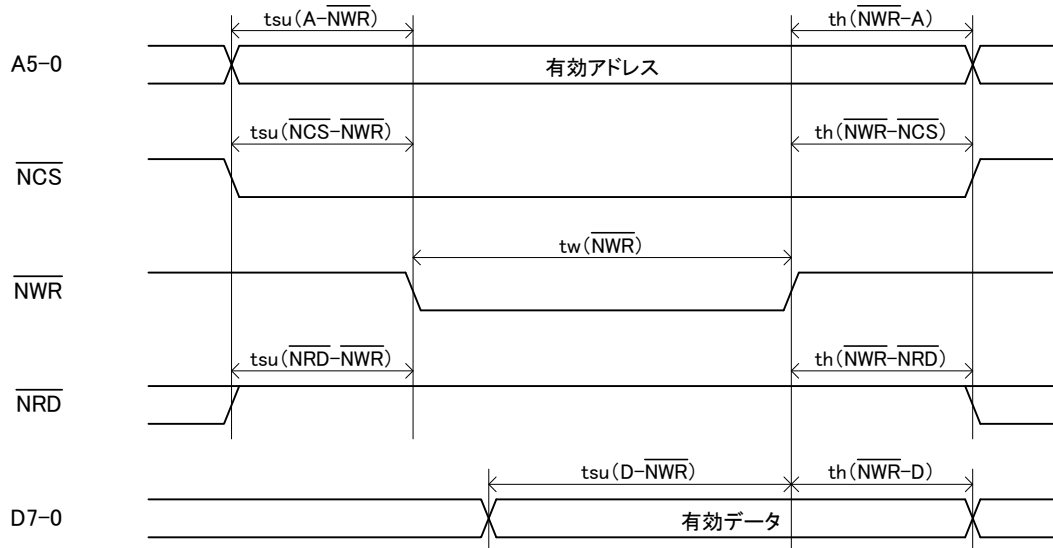
(VSS=0V, VDD=3.3V±0.3V, Ta=-40~+85°C)

記号	項目	測定条件	規格値		単位
			最小	最大	
tAC(D)	80/68系CPU直結モード時データアクセス時間	CL=100pF		60	ns
tOH(D)	80/68系CPU直結モード時データ保持時間		0		ns
tAC(SDO)	シリアルI/Fモード時データアクセス時間	CL=100pF		60	ns
tOH(SDO)	シリアルI/Fモード時データ保持時間		0		ns
tD(Xin-CKO)	CKO出力遅延時間	CL=40pF		60	ns
tD(Xin-TXD)	TXD出力遅延時間			60	ns
tD(Xin-RTS)	RTS出力遅延時間			60	ns
tD(Xin-INT)	INT出力遅延時間			60	ns
tD(CKI-TXD)	TXD出力遅延時間	CL=40pF		60	ns
tD(CKI-RTS)	RTS出力遅延時間			60	ns
tD(IrSD)	IrSD出力遅延時間	CL=40pF		60	ns

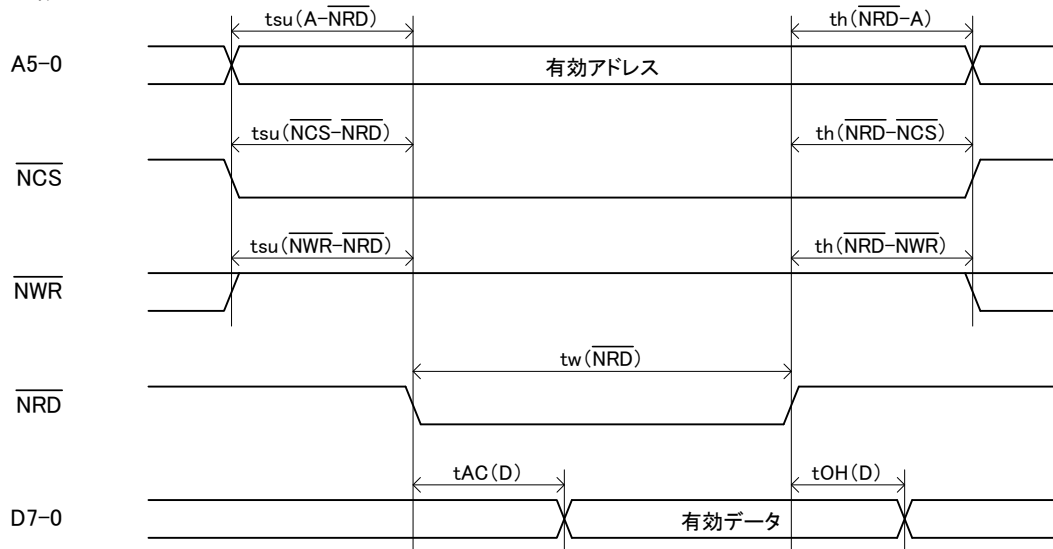
4.6. タイミング図

80系CPU直結モード設定時 (MODE1='L', MODE0='L')

・レジスタ書き込み

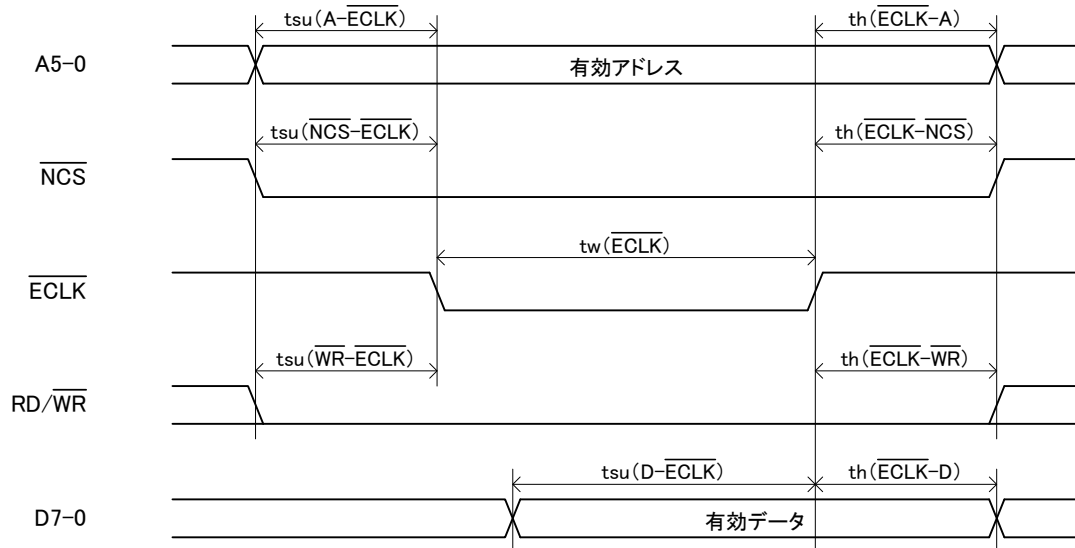


・レジスタ読み出し

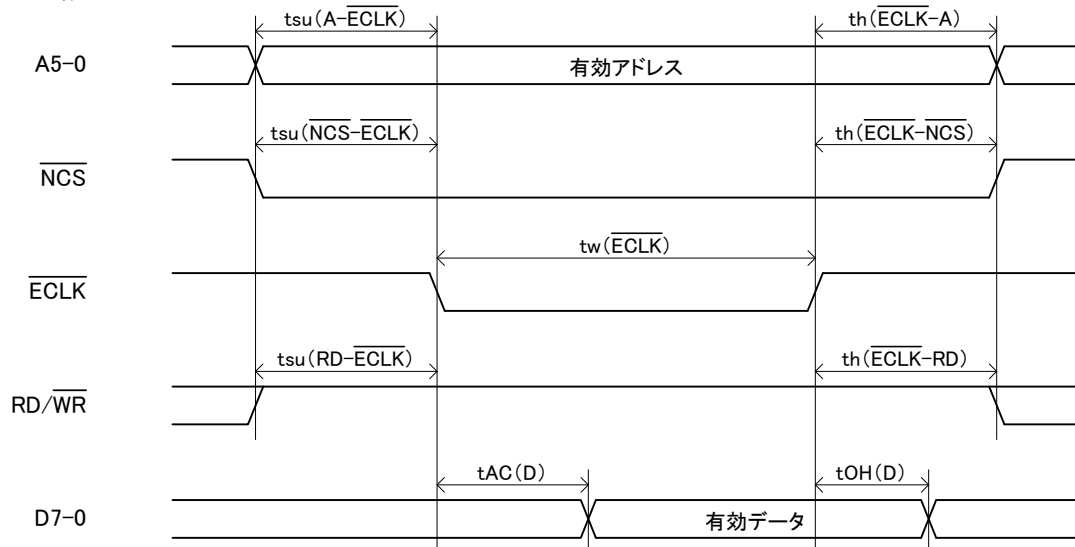


68系CPU直結モード設定時 (MODE1='L', MODE0='H')

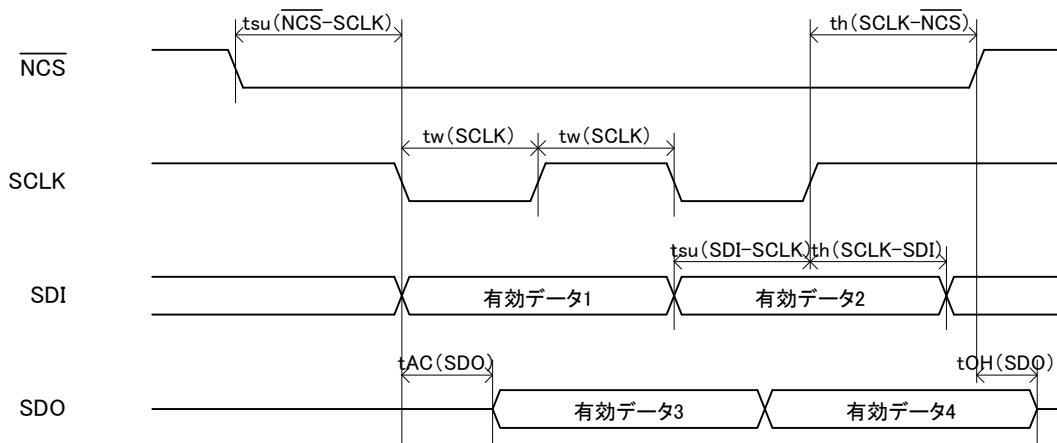
## ・レジスタ書き込み



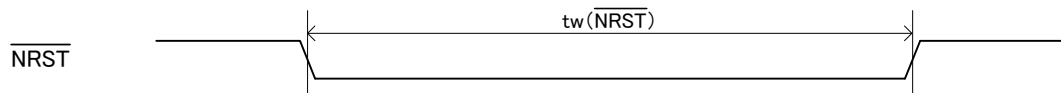
## ・レジスタ読み出し



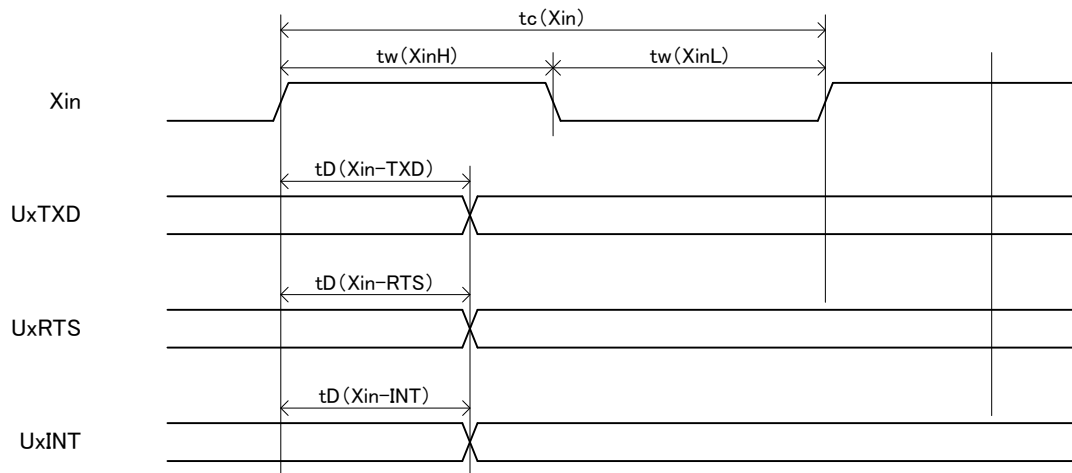
シリアルI/Fモード設定時 (MODE1='H', MODE0='L')



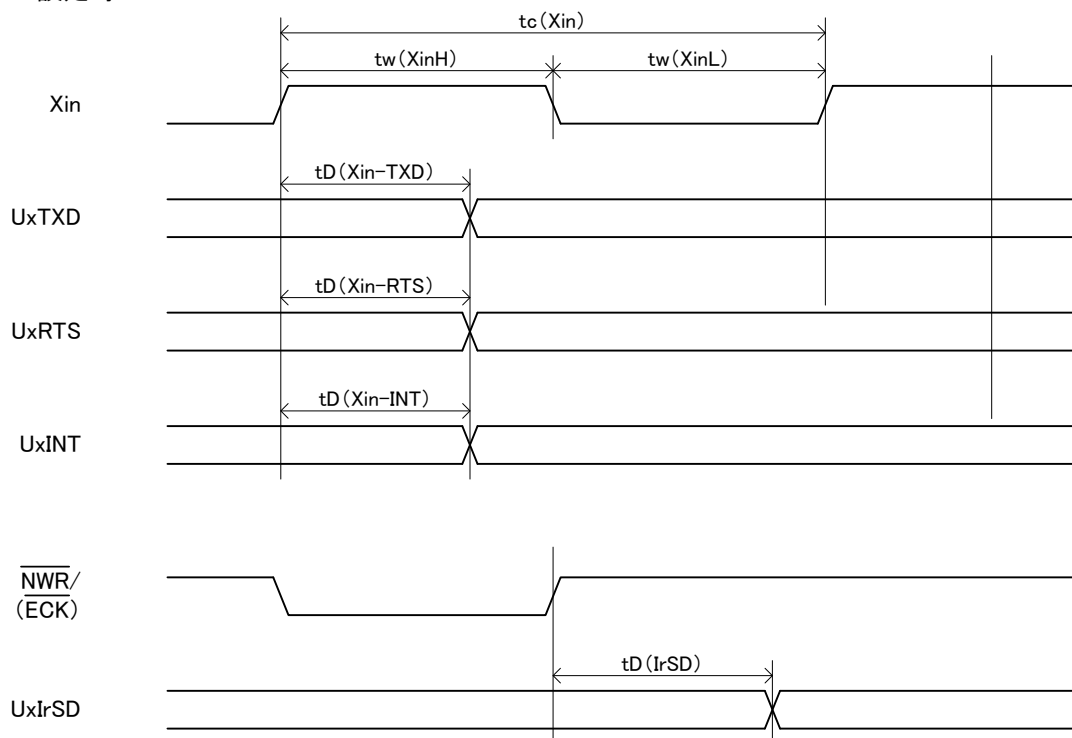
ハードウェア リセット



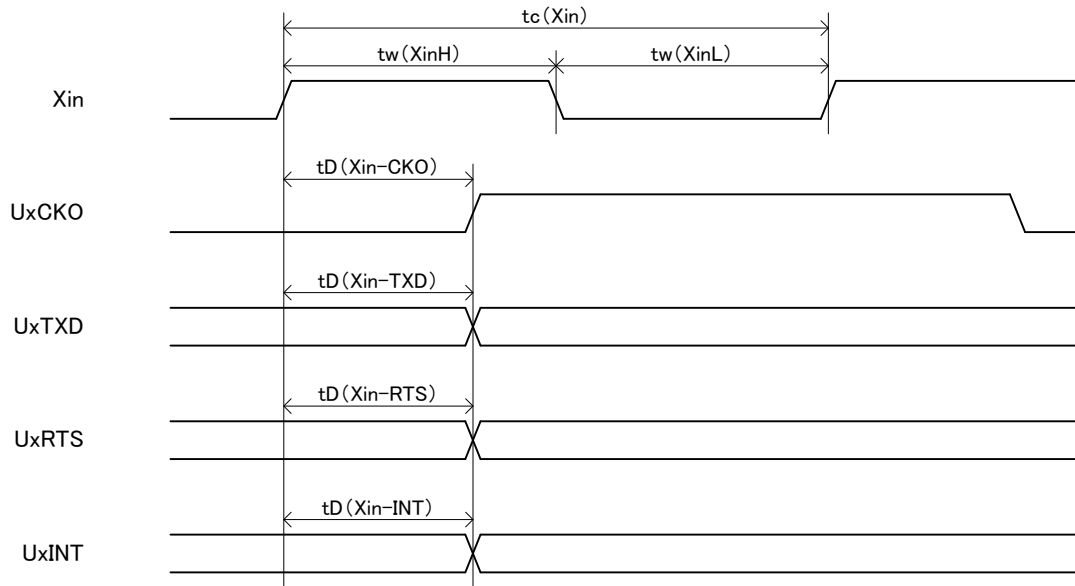
UART設定時



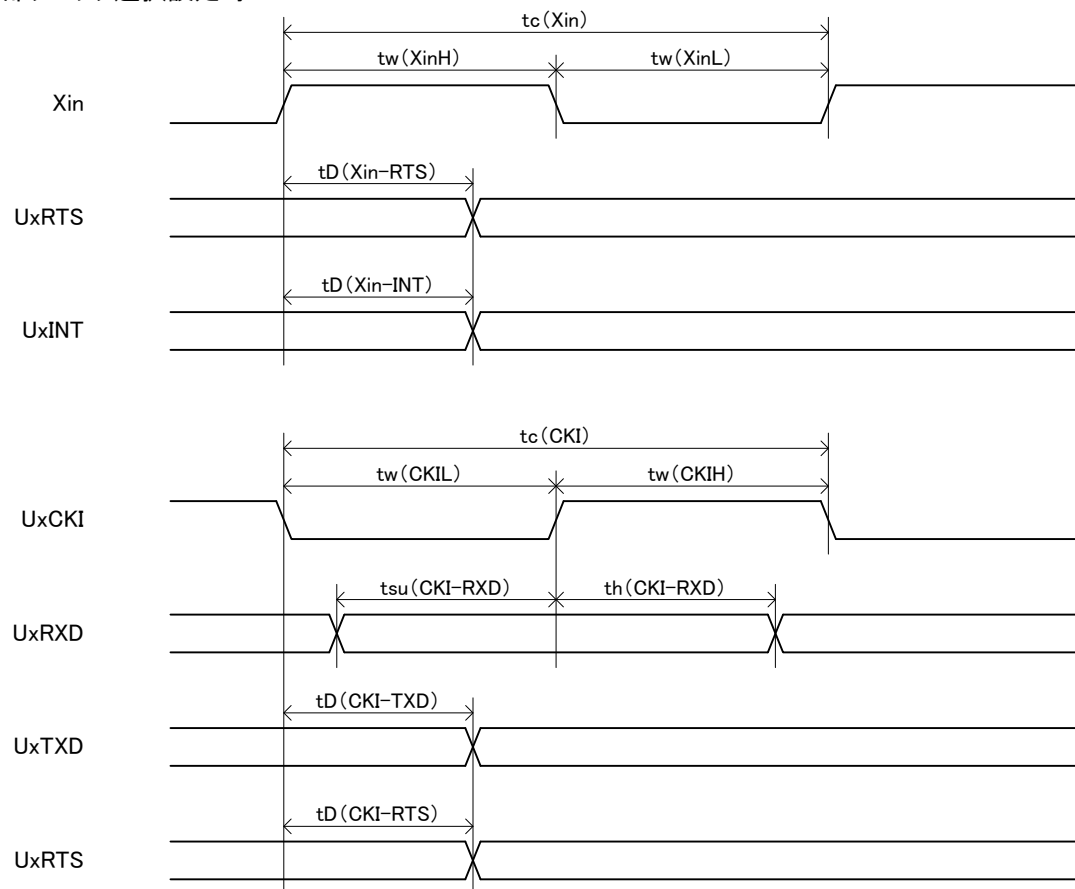
UART-IrDA設定時



USRT内部クロック選択設定時

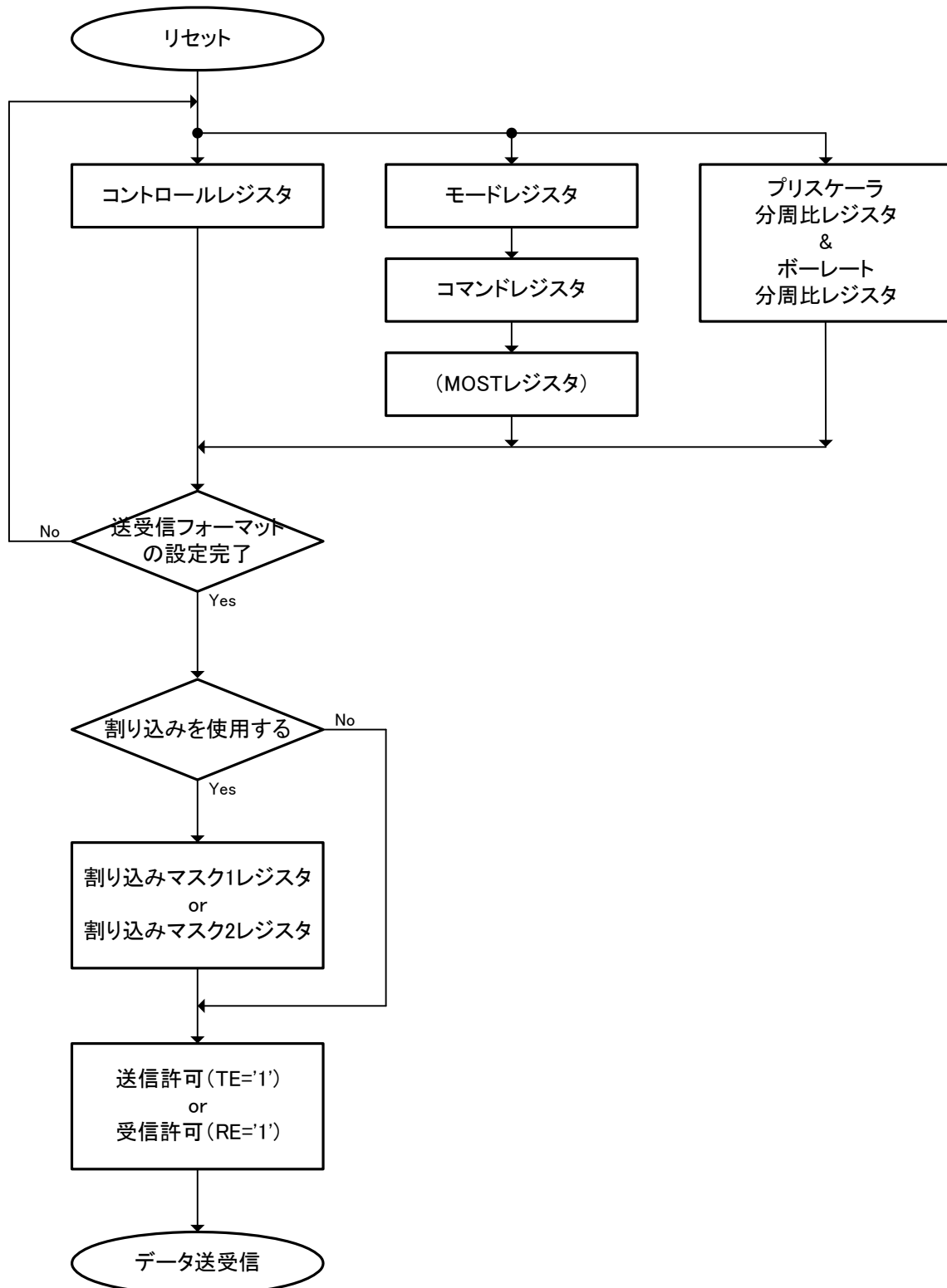


USRT外部クロック選択設定時

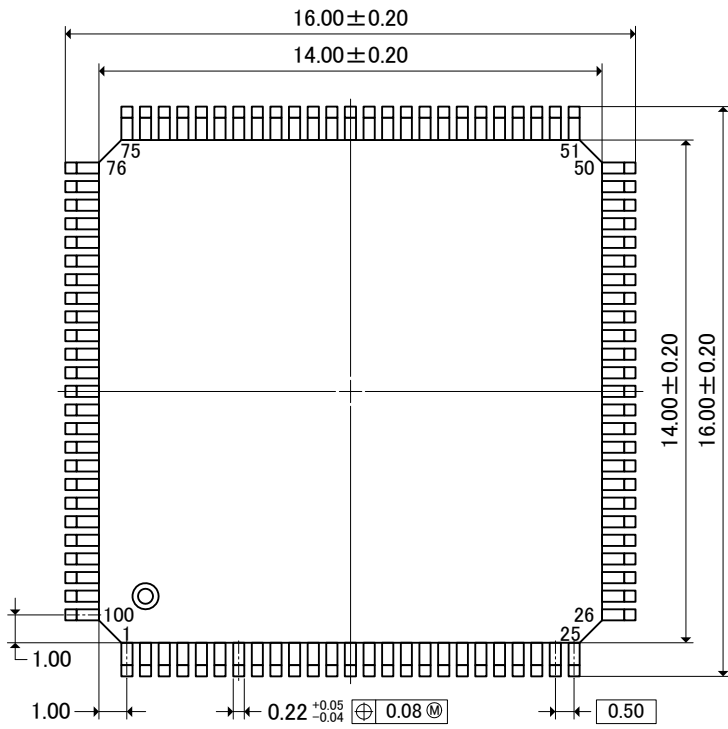


## 付録 1 &lt;USART 初期設定&gt;

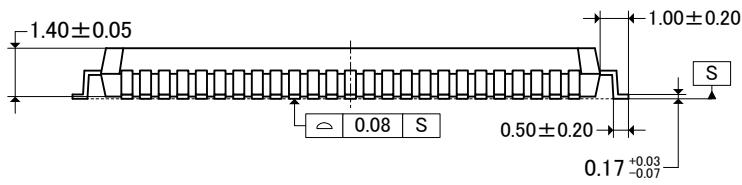
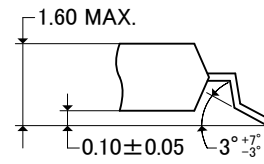
データ送受信に先立ち、CPUから各レジスタに対しデータを設定する必要があります。  
 これらは、リセット動作の次に必ず実行する必要があり、設定値は通信に必要な動作を制御するものです。



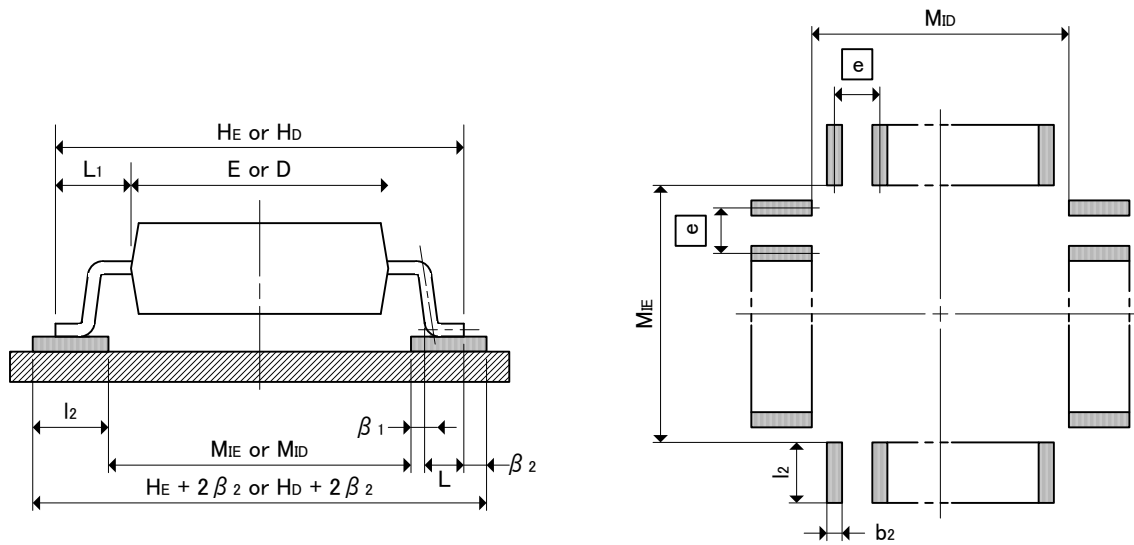
付録2 <パッケージ外形図：単位(mm)>



端子先端形状詳細図



付録3 <マウント・パッド寸法>



$$G_{E(D)MIN.} = H_{E(D)MIN.} - 2L_{MAX.}$$

$$M_{IE(ID)} = G_{E(D)MIN.} + 2\beta_1$$

$$l_{2D(E)} \geq (H_{D(E)MAX.} + 2\beta_2 - M_{ID(E)})/2$$

$$b \leq b_2 \leq [e] - \gamma \quad b: \text{パッケージ端子幅}$$

はんだ付けパラメータ

単位(mm)

[e]	0.50	端子直線間隔
$\beta_1$	0.3	はんだ付け強度
$\beta_2$	0.2	マスクのパターン精度およびはんだ付けの目視
$\gamma$	0.25	耐はんだブリッジ性

## 改訂履歴

版	改訂年月日	改訂内容	頁
1.0	2003/9/26	初版作成	-
1.1	2004/5/18	3.3. I/Oエキスパンダー ・入出力ポート説明に基板上プルアップ処理推奨を追加	26
		3.4.1. UART(クロック非同期式シリアルデータ通信) >> 送信フォーマット ・図内説明文の誤記を修正 >> 受信フォーマット ・図内説明文の誤記を修正	29
		3.4.1. UART(クロック非同期式シリアルデータ通信) >> エラー発生時の対処方法 ・送信バッファへの送信データ再設定手順に注記(※)を追加	33
		3.4.2. USRT(クロック同期式シリアルデータ通信) >> 送信フォーマット(内部クロック選択) ・図内説明文の誤記を修正 >> 受信フォーマット(内部クロック選択) ・図内説明文の誤記を修正	36
		3.4.2. USRT(クロック同期式シリアルデータ通信) >> 送信フォーマット(外部クロック選択) ・図内説明文の誤記を修正 >> 受信動作(外部クロック) ・項目の誤記を修正 >> 受信フォーマット(外部クロック選択) ・項目の誤記を修正 ・図内説明文の誤記を修正	39
		3.4.2. USRT(クロック同期式シリアルデータ通信) >> 受信接続例(外部クロック選択) ・項目の誤記を修正 ・図の誤記を修正	41
		3.4.2. USRT(クロック同期式シリアルデータ通信) >> エラー発生時の対処方法 ・送信バッファへの送信データ再設定手順に注記(※)を追加	43
2.0	2006/4/25	1. 概要 ・TIC81592GP-Aの掲載削除(鉛フリー未対応品拡販終了の為)	4
		1.1 特徴 ・TIC81592GP-Aの掲載削除(鉛フリー未対応品拡販終了の為)	4
		1.4. ピン接続図 ・1番ピンマークを二重丸(◎)へ変更	7
		2.2.1. ポート0~6データレジスタ ・表中説明文の記述内容を修正	14
		2.2.2. ポート0~6方向レジスタ ・表中説明文の記述内容を修正	14
		2.2.3. ポート7データ・方向レジスタ ・表中説明文の記述内容を修正	15
		2.2.7. モードレジスタ ・表中説明文の記述内容を修正 (UART RTSマスク設定選択ビット)	17

版	改訂年月日	改訂内容	頁
2.0	2006/4/25	2.2.11. ステータス2レジスタ <ul style="list-style-type: none"> <li>・表中説明文の誤記を修正 (UART フレーミングエラーフラグ)</li> <li>・表中説明文の誤記を修正 (UART パリティエラーフラグ)</li> <li>・表中説明文の誤記を修正 (UART エラーフラグ)</li> </ul>	21
		2.2.11. IrDAコントロールレジスタ <ul style="list-style-type: none"> <li>・表中説明文の誤記を修正 (IrDAモジュール RXD極性選択)</li> <li>・表中説明文の誤記を修正 (IrDAモジュール シャットダウン機能制御)</li> <li>・表中説明文の誤記を修正 (IrDAモジュール シャットダウン極性選択)</li> </ul>	24
		3.4. USART <ul style="list-style-type: none"> <li>・表中説明文(P63の列)の誤記を修正</li> </ul>	27
		3.4.1. UART(クロック非同期式シリアルデータ通信) >> ボーレート(転送速度) <ul style="list-style-type: none"> <li>・表中の誤記を修正</li> </ul>	28
		3.4.1. UART(クロック非同期式シリアルデータ通信) >> 送信動作 <ul style="list-style-type: none"> <li>・説明文の記述内容を修正</li> </ul> >> 受信動作 <ul style="list-style-type: none"> <li>・説明文の記述内容を修正</li> </ul>	29
		3.4.1. UART(クロック非同期式シリアルデータ通信) >> 受信ブロックステータス <ul style="list-style-type: none"> <li>・受信バッファエンプティフラグの説明文へ追記</li> <li>・受信バッファフルフラグの説明文の誤記を削除</li> <li>・受信シフトレジスタエンプティフラグの説明文へ追記</li> </ul>	32
		3.4.2. USRT(クロック同期式シリアルデータ通信) >> ボーレート(転送速度) <ul style="list-style-type: none"> <li>・表中の誤記を修正</li> </ul>	35
		3.4.2. USRT(クロック同期式シリアルデータ通信) >> 受信ブロックステータス <ul style="list-style-type: none"> <li>・受信バッファエンプティフラグの説明文へ追記</li> <li>・受信バッファフルフラグの説明文の誤記を削除</li> <li>・受信シフトレジスタエンプティフラグの説明文へ追記</li> </ul>	42
2.1	2007/12/25	付録2 パッケージ外形図 <ul style="list-style-type: none"> <li>・1番ピンマークを二重丸(◎)へ変更</li> </ul>	55
		2.2.8. コマンドレジスタ <ul style="list-style-type: none"> <li>・表中説明文への追記(USRT→USART)</li> </ul>	18

## 株式会社立花エレテック

弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料は、お客様が用途に応じた適切な弊社半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について立花エレテックが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。

本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、立花エレテックは責任を負いません。

本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、立花エレテックは、予告なしに、本資料に記載した製品または仕様を変更することがあります。また、本資料と製品の動作が異なっていた場合には、製品の動作が優先されます。弊社半導体製品のご購入に当たりましては、事前に立花エレテックへ最新の情報をご確認頂きますとともに、立花エレテックホームページ(<http://www.tachibana.co.jp/>)などを通じて公開される情報に常にご注意ください。

本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、立花エレテックはその責任を負いません。

本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単体で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。立花エレテックは、適用可否に対する責任を負いません。

本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、立花エレテックへご照会ください。

本資料の転載、複製については、文書による立花エレテックの事前の承諾が必要です。

本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら立花エレテックまでご照会ください。