

ID 機能付き 32bit プログラマブル I/O エキスパンダー

# TIC81594GP-B

Ver2.0 2006/4/25

株式会社立花エレテック 半導体技術三部

記載内容につきましては、予告なく変更する場合がありますので、ご注意ください。

## 目次

1. 概要.....	3
1.1. 特徴.....	3
1.2. 機能概要.....	3
1.3. ブロック図.....	3
1.4. ピン接続図.....	4
1.5. 端子機能表.....	5
1.6. リセット.....	6
1.7. 未使用端子の処理.....	6
2. レジスタ一覧.....	7
2.1. アドレスマップ.....	7
2.2. レジスタ構成.....	7
2.2.1. ポート0~3 データレジスタ.....	7
2.2.2. ポート0~3 方向レジスタ.....	7
3. 機能説明.....	8
3.1. CPU インターフェース.....	8
3.2. I/O エキスパンダー.....	9
4. 製品規格.....	10
4.1. 絶対最大定格.....	10
4.2. 推奨動作条件.....	10
4.3. 電気的特性.....	10
4.3.1. VDD5.....	10
4.3.2. VDD3.3.....	11
4.4. タイミング必要条件.....	11
4.4.1. VDD5.....	11
4.4.2. VDD3.3.....	11
4.5. スイッチング特性.....	12
4.5.1. VDD5.....	12
4.5.2. VDD3.3.....	12
4.6. タイミング図.....	12

## 1. 概要

TIC81594GP-B(以降TIC81594)は、32ビットのプログラム可能な入出力インターフェースLSIです。3ビットのID設定入力を持ち、固有のIDを設定することができます。

3.3Vまたは5V単一電源で動作し、8ビットの入出力ポートを4組持ちます。

### 1.1. 特徴

- >> CPUインターフェース
  - ・シリアルバスインターフェース  
(CPUとはNENB, SCLK, SDI, SDOの4本で接続可能)
  - ・3ビットのID設定入力装備
- >> I/Oエキスパンダー
  - ・各ビット毎に入力/出力設定可能
  - ・I/O端子CMOS入力
  - ・I/O端子駆動能力 IOL=9mA@5V/6mA@3.3V
- >> パッケージ
  - ・鉛フリー対応

### 1.2. 機能概要

TIC81594は、データの直列-並列及び並列-直列変換機能を持つ、ID設定可能な汎用プログラマブルI/Oエキスパンダーです。

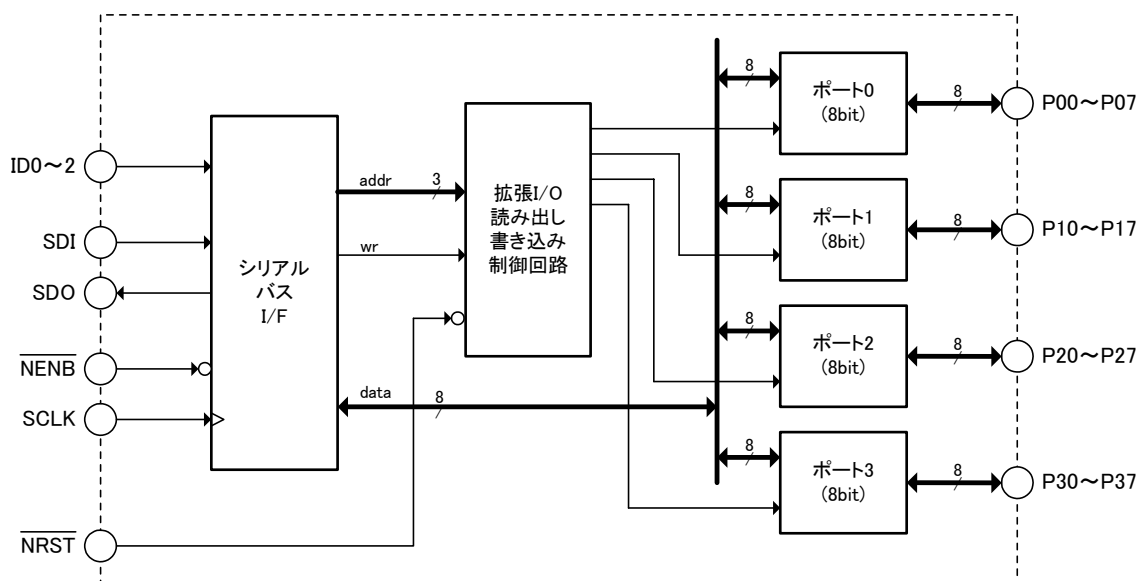
CPUとは、NENB, SCLK, SDI, SDOの4本の信号線でデータの送受信を行います。

ID設定入力を3ビット持ち、これらの入力端子をV<sub>dd</sub>あるいはV<sub>ss</sub>に接続することにより、8通りのうちの任意のIDに設定可能です。CPUからのシリアルデータを受信したTIC81594はシリアルデータ中のIDデータと、ID設定入力によるIDの比較を行い、IDが一致している場合にのみ、内部へのアクセスが可能となります。

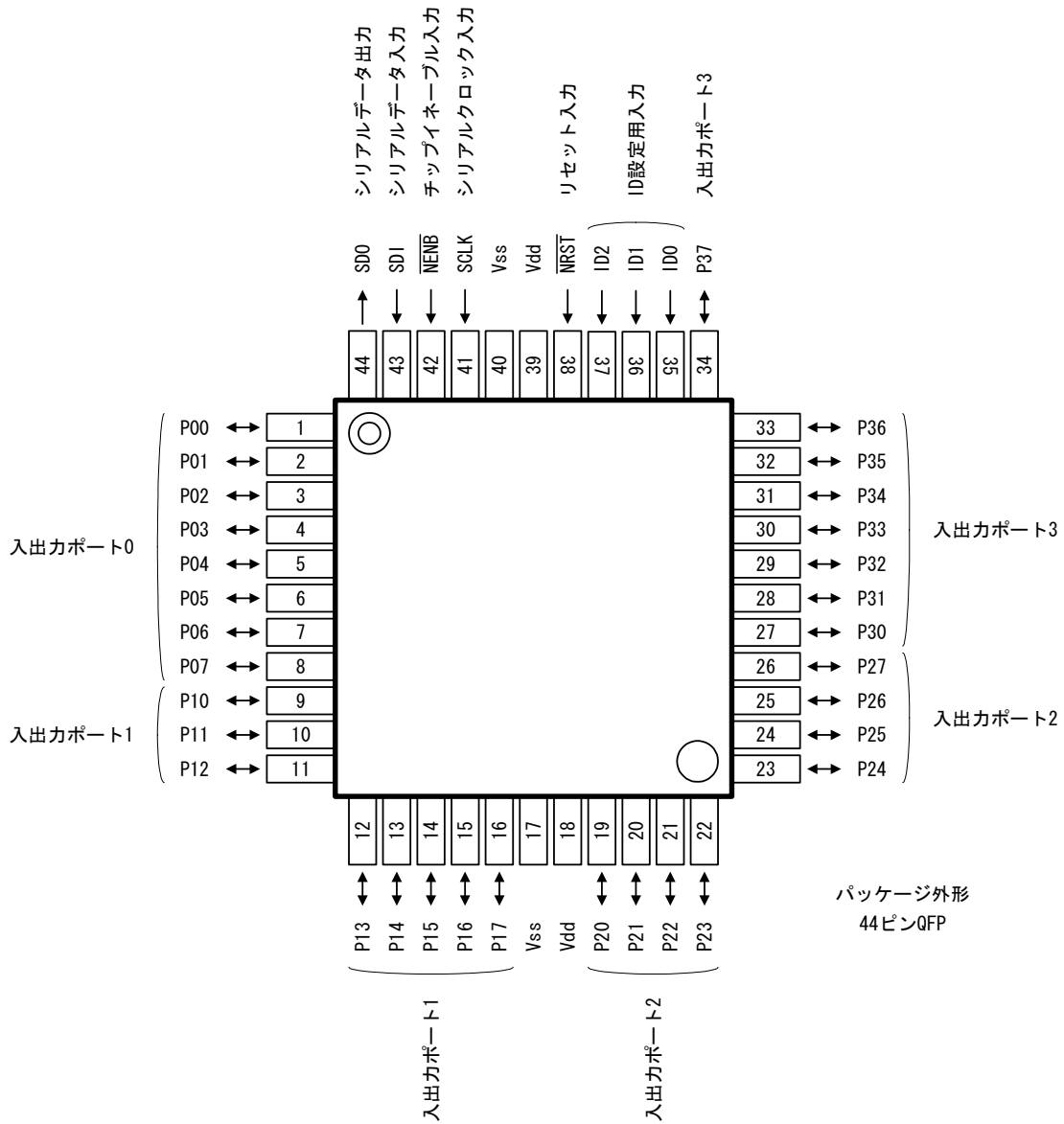
I/Oエキスパンダーとしては、8ビットの入出力ポート4組(P0~P3)をもち、入出力ポートはプログラムによってビット毎に入力または出力ポートとして使用できます。

リセット入力(NRST)を“L”設定することで、全入出力ポートは入力モードに設定され、高インピーダンスとなります。

### 1.3. ブロック図



1.4. ピン接続図



## 1.5. 端子機能表

端子名	入出力	名称と機能
Vdd	-	<b>電源</b> Vddはすべて電源に接続します。
Vss	-	<b>グランド</b> Vssはすべてグランドに接続します。
ID0~ID2	入力	<b>ID設定入力</b> VddあるいはVssに接続することにより、固有のIDを設定します。Vddに接続されている端子は'1'、Vssに接続されている端子は'0'に対応します。
$\overline{\text{NRST}}$	入力	<b>リセット</b> 'L'で内部回路を初期化します。
$\overline{\text{NENB}}$	入力	<b>チップイネーブル入力</b> 'L'でCPUからのアクセスを有効にします。
SCLK	入力	<b>シリアルクロック入力</b> SCLKの立ち上がりエッジでCPUからのシリアルデータをラッチします。データ出力時はSCLKの立ち下がりエッジでデータを出します。
SDI	入力	<b>シリアルデータ入力</b> CPUからのシリアルデータを入力します。
SDO	出力	<b>シリアルデータ出力</b> CPUへのシリアルデータを出します。データ出力時以外は高インピーダンスです。
P00~P07	入出力	<b>入出力ポート0</b> 8ビットの汎用入出力ポートで、ビット毎に入力ポートあるいは出力ポートとして使用できます。
P10~P17	入出力	<b>入出力ポート1</b> 8ビットの汎用入出力ポートで、ビット毎に入力ポートあるいは出力ポートとして使用できます。
P20~P27	入出力	<b>入出力ポート2</b> 8ビットの汎用入出力ポートで、ビット毎に入力ポートあるいは出力ポートとして使用できます。
P30~P37	入出力	<b>入出力ポート3</b> 8ビットの汎用入出力ポートで、ビット毎に入力ポートあるいは出力ポートとして使用できます。

## 1.6. リセット

$\overline{\text{NRST}}=\text{'L'}$ に設定することで、全入出力ポート(P0~P3)は入力モードに設定(初期化)され、高インピーダンスとなります。

## 1.7. 未使用端子の処理

端子名	処理内容
P0~P3	入力モードに設定し、端子毎に抵抗を介してVssに接続(プルダウン)、または出力モードに設定し、端子を開放

## 2. レジスタ一覧

### 2.1. アドレスマップ

A2~0	NAME	NICK NAME	b7	b6	b5	b4	b3	b2	b1	b0
000	ポート0データレジスタ	PD0	PD07	PD06	PD05	PD04	PD03	PD02	PD01	PD00
001	ポート0方向レジスタ	PC0	PC07	PC06	PC05	PC04	PC03	PC02	PC01	PC00
010	ポート1データレジスタ	PD1	PD17	PD16	PD15	PD14	PD13	PD12	PD11	PD10
011	ポート1方向レジスタ	PC1	PC17	PC16	PC15	PC14	PC13	PC12	PC11	PC10
100	ポート2データレジスタ	PD2	PD27	PD26	PD25	PD24	PD23	PD22	PD21	PD20
101	ポート2方向レジスタ	PC2	PC27	PC26	PC25	PC24	PC23	PC22	PC21	PC20
110	ポート3データレジスタ	PD3	PD37	PD36	PD35	PD34	PD33	PD32	PD31	PD30
111	ポート3方向レジスタ	PC3	PC37	PC36	PC35	PC34	PC33	PC32	PC31	PC30

### 2.2. レジスタ構成

#### 2.2.1. ポート0~3 データレジスタ

>> ポート0~3データレジスタ (A2~0 = 000, 010, 100, 110)

b7	b6	b5	b4	b3	b2	b1	b0
PDn7	PDn6	PDn5	PDn4	PDn3	PDn2	PDn1	PDn0

ビット	ビット名	機能	初期値	R/W
0~7	PDn0~ PDn7	ポートデータ設定ビット [対応するポートのビットが入力モード設定の場合] 0 : 対応するポートのビットよりLが入力 1 : 対応するポートのビットよりHが入力  [対応するポートのビットが出力モード設定の場合] 0 : 対応するポートのビットよりLを出力 1 : 対応するポートのビットよりHを出力	不定	R/W

n=0~3

#### 2.2.2. ポート0~3 方向レジスタ

>> ポート0~3方向レジスタ (A2~0 = 001, 011, 101, 111)

b7	b6	b5	b4	b3	b2	b1	b0
PCn7	PCn6	PCn5	PCn4	PCn3	PCn2	PCn1	PCn0

ビット	ビット名	機能	初期値	R/W
0~7	PCn0~ PCn7	ポート方向設定ビット 0 : 対応するポートのビットを入力モードに設定 1 : 対応するポートのビットを出力モードに設定	0	W

n=0~3

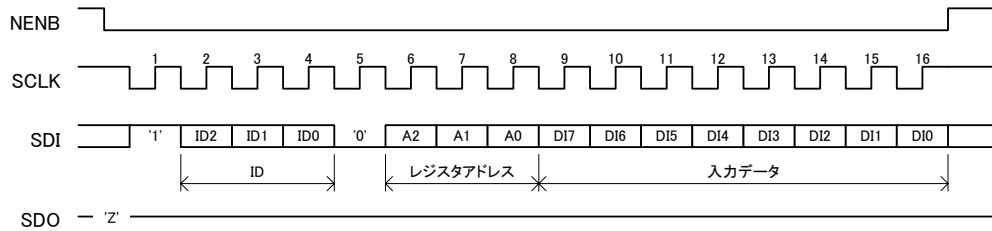
### 3. 機能説明

#### 3.1. CPU インターフェース

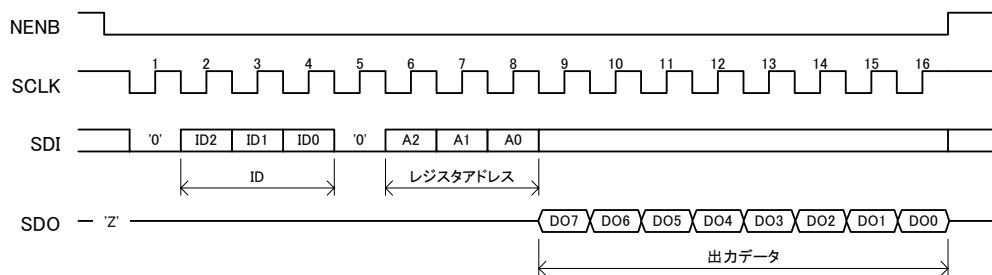
##### シリアルバスインターフェース

$\overline{\text{NENB}}$ 、SCLK、SDI、SDOの4端子を使用して内部レジスタの設定を行い、I/Oエキスパンダーの制御を行います。  
 $\overline{\text{NENB}}=\text{L}$ の時のみ、SCLKの値が有効となります。SDIから入力したデータの2~4ビット目が、ID設定入力と一致している場合のみ、WRITEアクセス/READアクセスを行います。WRITEアクセス時はデータの1ビット目を'1'、5ビット目を'0'に、READアクセス時にはデータの1ビット目と5ビット目を'0'に設定してください。また、 $\overline{\text{NENB}}$ はアクセス毎に必ず'H'にする必要があります。

##### WRITEアクセスフォーマット

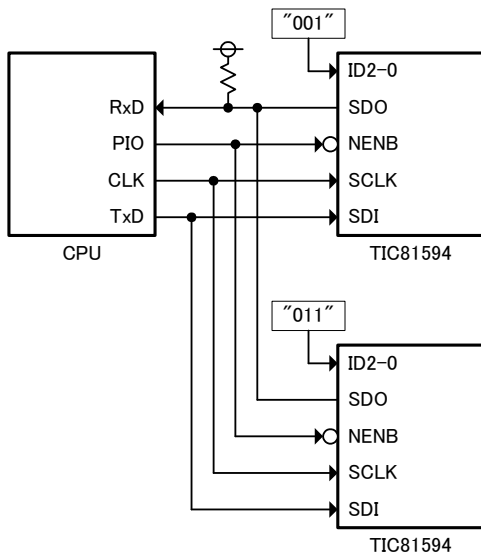


##### READアクセスフォーマット

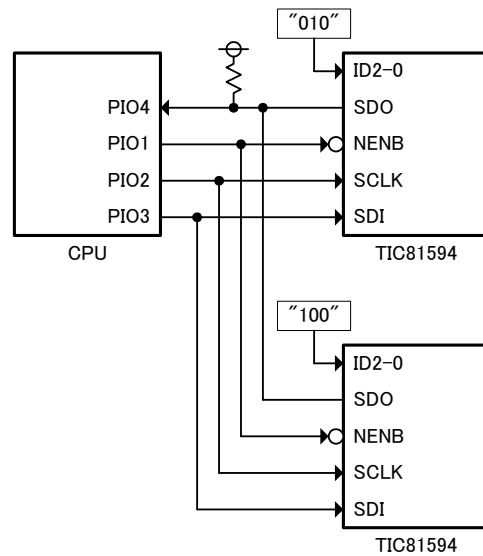


##### CPU接続例

>>シリアルI/Oとの接続



>>拡張I/Oとの接続



### 3.2. I/O エキスパンダー

I/Oエキスパンダーとして8ビットの入出力ポート4組(P0~P3)の計32本の入出力ポートがあります。各ポートは、入出力の方向を決定するポート方向レジスタとデータの入出力を行うポートデータレジスタを持ちます。ハードウェアリセット後はポート方向レジスタは入力、ポートデータレジスタは不定となります。

#### >> ポートデータレジスタへの書き込み

ポート方向レジスタを出力に設定しているとき、ポートデータレジスタに出力データを書き込めば、それぞれ対応した端子からポートデータレジスタに書き込んだデータが出力します。出力のレベルは、CMOS出力です。

ポート方向レジスタを入力に設定しているとき、ポートデータレジスタにデータを書き込めば、ポートデータレジスタにはデータが書き込まれますが、対応した端子からはポートデータレジスタに書き込んだデータは出力しません。

#### >> ポートデータレジスタからの読み出し

ポート方向レジスタを出力に設定しているとき、ポートデータレジスタの値を読み込めば、対応した端子の状態ではなくポートデータレジスタの値を読み出します。

ポート方向レジスタを入力に設定しているとき、ポートデータレジスタの値を読み込めば、対応した端子の状態を読み出します。

## 4. 製品規格

## 4.1. 絶対最大定格

(VSS=0V)

記号	項目	規格値		単位
		最小	最大	
VDD	電源電圧	-0.5	+6.0	V
VI	入力電圧	-0.5	+6.0 ※1	V
VO	出力電圧	-0.5	+6.0 ※1	V
IO	出力電流		IOL=+15	mA
Pd	消費電力		360	mW
Tstg	保存温度	-65	+150	°C

※1 VDD+0.5Vを超えない様にしてください。

## 4.2. 推奨動作条件

(VSS=0V)

記号	項目	規格値			単位
		最小	標準	最大	
VDD5	電源電圧 (5Vインターフェース)	4.5	5.0	5.5	V
VDD33	電源電圧 (3.3Vインターフェース)	3.0	3.3	3.6	V
Ta	動作周囲温度	-40	+25	+85	°C
VI	入力電圧	0		VDD	V
tr, tf	入力上昇、下降時間			200	ns

## 4.3. 電気的特性

## 4.3.1. VDD5

(VSS=0V, VDD=5V±10%, Ta=-40~+85°C)

記号	項目	条件	規格値			単位
			最小	標準	最大	
Ioz	オフステート出力電流 ※2	VI=VDD or VSS			±10	μA
Ios	出力短絡電流	VO=VSS			-250	mA
II	入力リーク電流	VI=VDD or VSS			±10	μA
VIL	入力電圧	CMOSインターフェース	0		0.3VDD	V
VIH			0.7VDD		VDD	
VOL	出力電圧	IOL, IOH=0mA			0.1	V
VOH			VDD-0.1			
IOL	出力電流 SDO	VOL=0.4V	12			mA
IOH		VOH=VDD-0.4V			-12	
IOL	出力電流 P0~P3	VOL=0.4V	9			mA
IOH		VOH=VDD-0.4V			-9	
CI	入力ピン容量 ※3	f=1MHz, VDD=0V, Tj=25°C		8		pF
CIO	入出力ピン容量 ※3			8		

※2 出力短絡時間は1秒以下で、LSIの1端子のみです。

※3 1バッファ当たりの規格値です。

## 4.3.2. VDD3.3

(VSS=0V, VDD=3.3V±0.3V, Ta=-40~+85°C)

記号	項目	条件	規格値			単位
			最小	標準	最大	
Ioz	オフステート出力電流 ※2	VI=VDD or VSS			±8	μA
Ios	出力短絡電流	VO=VSS			-200	mA
II	入力リーク電流	VI=VDD or VSS			±8	μA
VIL	入力電圧	CMOSインターフェース	0		0.2VDD	V
VIH			0.8VDD		VDD	
VOL	出力電圧	IOL, IOH=0mA			0.1	V
VOH			VDD-0.1			
IOL	出力電流 SDO	VOL=0.4V	9			mA
IOH		VOH=VDD-0.4V			-9	
IOL	出力電流 P0~P3	VOL=0.4V	6			mA
IOH		VOH=VDD-0.4V			-6	
CI	入力ピン容量 ※3	f=1MHz, VDD=0V, Tj=25°C		8		pF
CIO	入出力ピン容量 ※3			8		

※2 出力短絡時間は1秒以下で、LSIの1端子のみです。

※3 1バッファ当たりの規格値です。

## 4.4. タイミング必要条件

## 4.4.1. VDD5

(VSS=0V, VDD=5V±10%, Ta=-40~+85°C)

記号	項目	規格値		単位
		最小	最大	
twH(NENB)	NENB 'H'パルス幅	50		ns
tw(SCLK)	SCLKパルス幅	50		ns
tsu(NENB-SCLK)	SCLK立ち下がり前NENBセットアップ時間	50		ns
th(SCLK-NENB)	SCLK立ち上がり後NENBホールド時間	50		ns
tsu(SDI-SCLK)	SCLK立ち上がり前SDIセットアップ時間	15		ns
th(SCLK-SDI)	SCLK立ち上がり後SDIホールド時間	15		ns
tw(NRST)	NRSTパルス幅	100		ns

## 4.4.2. VDD3.3

(VSS=0V, VDD=3.3V±0.3V, Ta=-40~+85°C)

記号	項目	規格値		単位
		最小	最大	
twH(NENB)	NENB 'H'パルス幅	70		ns
tw(SCLK)	SCLKパルス幅	70		ns
tsu(NENB-SCLK)	SCLK立ち下がり前NENBセットアップ時間	70		ns
th(SCLK-NENB)	SCLK立ち上がり後NENBホールド時間	70		ns
tsu(SDI-SCLK)	SCLK立ち上がり前SDIセットアップ時間	25		ns
th(SCLK-SDI)	SCLK立ち上がり後SDIホールド時間	25		ns
tw(NRST)	NRSTパルス幅	120		ns

4.5. スイッチング特性

4.5.1. VDD5

(VSS=0V, VDD=5V±10%, Ta=-40~+85°C)

記号	項目	測定条件	規格値		単位
			最小	最大	
tAC(SDO)	SDOデータアクセス時間	CL=100pF		30	ns
tOH1(SDO)	SCLK立ち下がり後SDOデータ保持時間	CL=20pF	0		ns
tOH2(SDO)	NENB立ち上がり後データ保持時間		0		ns

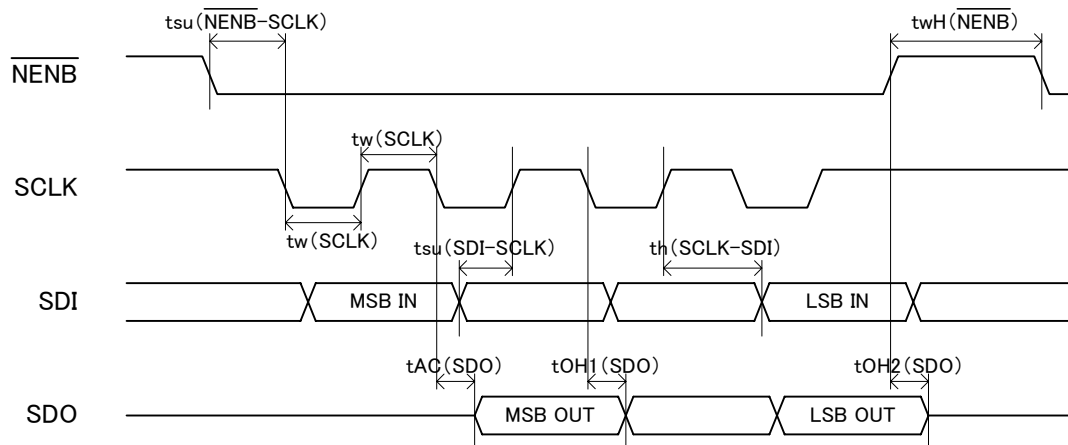
4.5.2. VDD3.3

(VSS=0V, VDD=3.3V±0.3V, Ta=-40~+85°C)

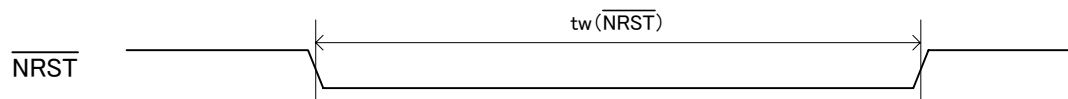
記号	項目	測定条件	規格値		単位
			最小	最大	
tAC(SDO)	SDOデータアクセス時間	CL=100pF		40	ns
tOH1(SDO)	SCLK立ち下がり後SDOデータ保持時間	CL=20pF	0		ns
tOH2(SDO)	NENB立ち上がり後データ保持時間		0		ns

4.6. タイミング図

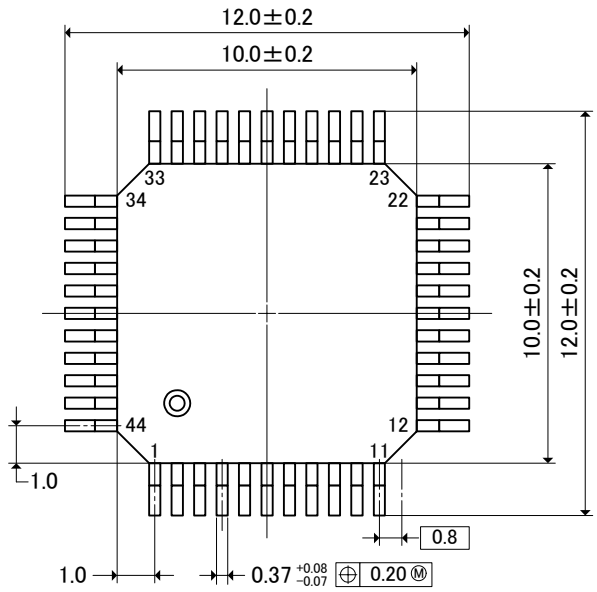
シリアルインターフェース



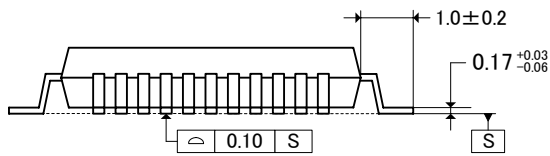
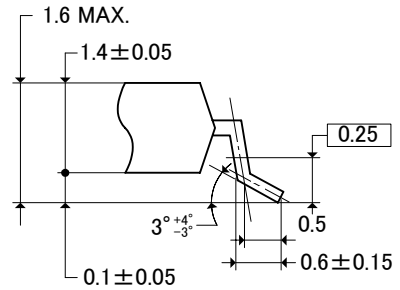
ハードウェア リセット



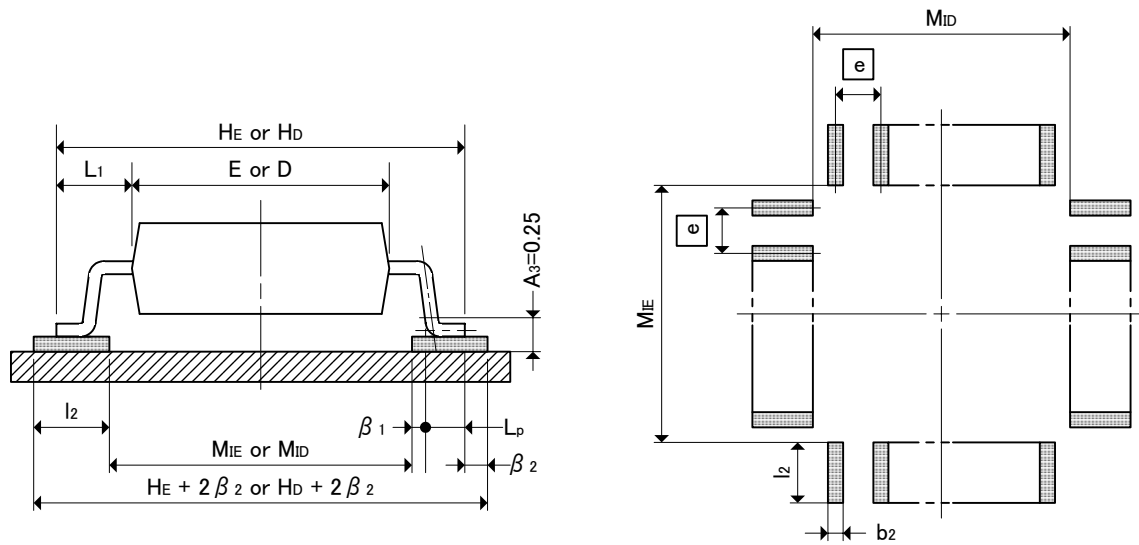
付録1 <パッケージ外形図：単位(mm)>



端子先端形状詳細図



付録2 <マウント・パッド寸法>



$$G_{E(D)MIN.} = H_{E(D)MIN.} - 2L_{pMAX.}$$

$$M_{IE(ID)} = G_{E(D)MIN.} - 2\beta_1$$

$$l_{2D(E)} \geq (H_{D(E)MAX.} + 2\beta_2 - M_{ID(E)})/2$$

$$b \leq b_2 \leq [e] - \gamma \quad b: \text{パッケージ端子幅}$$

はんだ付けパラメータ

単位(mm)

$[e]$	0.80	端子直線間隔
$\beta_1$	0.3	はんだ付け強度
$\beta_2$	0.2	マスクのパターン精度およびはんだ付けの目視
$\gamma$	0.3	耐はんだブリッジ性

## 改訂履歴

版	改訂年月日	改訂内容	頁
1.0	2003/9/26	初版作成	-
2.0	2006/4/25	1. 概要 ・TIC81594GP-Aの掲載削除(鉛フリー未対応品拡販終了の為)	3
		1.1. 特徴 ・TIC81594GP-Aの掲載削除(鉛フリー未対応品拡販終了の為)	3
		1.4. ピン接続図 ・1番ピンマークを二重丸(◎)へ変更	4
		2.2.1. ポート0~3データレジスタ ・表中説明文の記述内容を修正	7
		2.2.2. ポート0~3方向レジスタ ・表中説明文の記述内容を修正	7
		付録2 パッケージ外形図 ・1番ピンマークを二重丸(◎)へ変更	13

## 株式会社立花エレクトック

弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料は、お客様が用途に応じた適切な弊社半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について立花エレクトックが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。

本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、立花エレクトックは責任を負いません。

本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、立花エレクトックは、予告なしに、本資料に記載した製品または仕様を変更することがあります。また、本資料と製品の動作が異なっていた場合には、製品の動作が優先されます。弊社半導体製品のご購入に当たりましては、事前に立花エレクトックへ最新の情報をご確認頂きますとともに、立花エレクトックホームページ(<http://www.tachibana.co.jp/>)などを通じて公開される情報に常にご注意ください。

本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、立花エレクトックはその責任を負いません。

本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単体で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。立花エレクトックは、適用可否に対する責任を負いません。

本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、立花エレクトックへご照会ください。

本資料の転載、複製については、文書による立花エレクトックの事前の承諾が必要です。

本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら立花エレクトックまでご照会ください。